

Semiconductor device and process of production of same

Patent Number: ☐ EP1137066
 Publication date: 2001-09-26
 Inventor(s): NAGAOKA TOMIO (JP); AOKI MASAO (JP); HORIUCHI MICHIO (JP); MIZUNO SHIGERU (JP); KURIHARA TAKASHI (JP)
 Applicant(s): SHINKO ELEC IND (JP)
 Requested Patent: ☐ JP2001339011 (JP01339011)
 Application Number: EP20010106434 20010322
 Priority Number(s): JP20000088593 20000324; JP20000252846 20000823
 IPC Classification: H01L23/498 ; H01L25/10 ; H01L25/065
 EC Classification: H01L21/60C4, H01L23/498C4, H01L23/498J, H01L25/10J
 Equivalents: ☐ US2001026010 (US01026010)

Abstract

A semiconductor device, in particular a thin semiconductor package, which reduces and simultaneously achieves a uniform mounting height, does not require complicated steps for mounting individual chips, improves the manufacturing yield, achieves a uniform height of the semiconductor device without being affected by the variation in thickness of the chip, and enables execution of an electrical test all together, and a process for production of the same, wherein a semiconductor is mounted, with its back surface exposed upward, on the top surface of an insulating tape substrate having through holes in the thickness direction, the area around the side surfaces of the semiconductor element is sealed by a sealing resin layer, metal interconnections formed on the bottom surface of the tape substrate define the bottom portions of the through holes of the tape substrate, a solder resist layer having through holes in the thickness direction covers the bottom surface of the metal interconnections and the tape substrate, connection terminals extending downward from the active surface of the semiconductor element are inserted into the through holes of the tape substrate, a filler comprised of a conductive material fills the gaps between the connection terminals and the through holes of the tape substrate, and the connection terminals and the metal interconnections are electrically connected.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-339011

(P2001-339011A)

(43) 公開日 平成13年12月7日 (2001.12.7)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 B
			5 0 1 S
21/304	6 3 1	21/304	6 3 1
25/10		25/14	Z
25/11			

審査請求 未請求 請求項の数37 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2000-252846 (P2000-252846)

(22) 出願日 平成12年8月23日 (2000.8.23)

(31) 優先権主張番号 特願2000-88593 (P2000-88593)

(32) 優先日 平成12年3月24日 (2000.3.24)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舎利田711番地

(72) 発明者 堀内 道夫

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(72) 発明者 栗原 孝

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(74) 代理人 100077517

弁理士 石田 敬 (外2名)

最終頁に続く

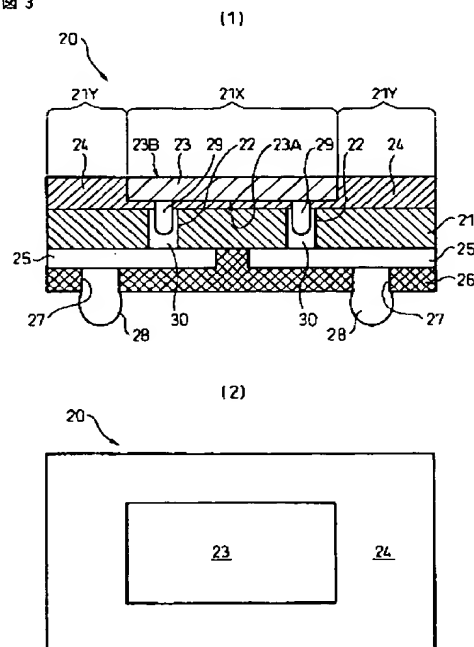
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 取り付け高さを低減すると同時に均一化し、個々のチップ取り付けのための煩雑な工程を必要とせず、製造歩留りを向上し、チップの厚さばらつきに影響されずに半導体装置の高さを均一化し、電気試験の一括実行が可能な薄型半導体パッケージとしての半導体装置およびその製造方法を提供する。

【解決手段】 厚さ方向の貫通孔を有する絶縁性のテープ基材の上面に背面を上方に露出して半導体素子が搭載され、半導体素子の側面周囲は封止樹脂層で封止され、テープ基材の下面に形成された金属配線がテープ基材の貫通孔の底部を画定し、厚さ方向の貫通孔を有するソルダレジスト層が金属配線およびテープ基材の下面を覆い、半導体素子のアクティブ面から下方に延びた接続端子がテープ基材の貫通孔内に挿入され、導電性材料から成る充填材が接続端子とテープ基材の貫通孔の内壁との間隙を充填し接続端子と金属配線を電氣的に接続している半導体装置。

図 3



【特許請求の範囲】

【請求項1】 下記の部材：厚さ方向の貫通孔を有する絶縁性のテープ基材、

該テープ基材の上面に、背面を上方に露出し且つアクティブ面を下方に向けて搭載された半導体素子、

該半導体素子が搭載された領域以外の前記テープ基材上面に形成され、該半導体素子の側面周囲を封止する封止樹脂層、

前記テープ基材の下面に形成され且つ該テープ基材の貫通孔の下端を塞いで底部を画定する金属配線、

該金属配線および前記テープ基材の下面を覆い且つ厚さ方向の貫通孔を有するソルダレジスト層、

前記金属配線の下面から隆起し、前記ソルダレジスト層の貫通孔を充填して貫通し下方に突出した外部接続端子、

前記半導体素子のアクティブ面から下方に延びて、前記テープ基材の貫通孔内に挿入された接続端子、および該接続端子と前記テープ基材の貫通孔の内壁との間隙を充填し、該接続端子と前記金属配線とを電気的に接続する導電性材料から成る充填材、を含むことを特徴とする半導体装置。

【請求項2】 前記充填材が、低融点金属または導電性ペーストを用いて形成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記封止樹脂層および該封止樹脂層が形成されている領域の前記テープ基材を貫通し、上端が該封止樹脂層の上面に露出し、下端が前記金属配線層に電気的に接続している導体柱を更に含むことを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記封止樹脂層に代えて、前記半導体素子が搭載された領域以外の前記テープ基材上面に接合され該半導体素子の側面を間隙を介して取り囲む絶縁性の枠体と、該間隙内を充填して該半導体素子の側面周囲を封止する封止樹脂層とを含み、該枠体および該枠体が接合されている領域の前記テープ基材を貫通し、上端が該枠体の上面に露出し、下端が前記金属配線層に電気的に接続している導体柱を更に含むことを特徴とする請求項1記載の半導体装置。

【請求項5】 前記半導体素子のアクティブ面から下方に延びた接続端子が、金または銅から成るバンプであることを特徴とする請求項1から4までのいずれか1項記載の半導体装置。

【請求項6】 前記ソルダレジスト層の開口を充填して貫通する外部接続端子が、ベリフェラルまたはエリアアレイの形態で配置されていることを特徴とする請求項1から5までのいずれか1項記載の半導体装置。

【請求項7】 前記接続端子と前記テープ基材の貫通孔の内壁との間隙に、該貫通孔のほぼ上端の位置まで前記充填材が充填されていることを特徴とする請求項1から6までのいずれか1項記載の半導体装置。

【請求項8】 前記封止樹脂層の上面と前記半導体素子の背面とが同一平面を成していることを特徴とする請求項1から7までのいずれか1項記載の半導体装置。

【請求項9】 請求項3または4記載の半導体装置が複数層に積層され、各層の半導体装置同士が、前記導体柱の上端と前記外部接続端子の下端とで相互に電気的に接続されていることを特徴とする素子積層型半導体装置。

【請求項10】 請求項1から8までのいずれか1項記載の半導体装置の製造方法であって、

10 複数の半導体パッケージ単位を含み得る面積を有し、下面に前記金属配線層および前記ソルダレジスト層を備えた前記テープ基材および該ソルダレジスト層に各々厚さ方向の前記貫通孔を形成し、

該テープ基材の貫通孔に前記導電性材料を、該貫通孔を不完全に充填する量で充填し、

複数の半導体パッケージ単位を構成する必要個数の前記半導体素子の前記接続端子を上記テープ基材の対応する貫通孔に各々挿入して、該接続端子と該貫通孔の内壁との間隙を該貫通孔のほぼ上端まで該導電性材料により充填させると共に、該半導体素子を該テープ基材の上面に接合して搭載し、

該半導体素子が搭載された領域以外の該テープ基材の上面を覆い且つ少なくとも該半導体素子の側面周囲を封止する封止樹脂層を形成し、

その後、該封止樹脂層の上部および該半導体素子の背面側部分を研削および研磨して所定の厚さとし、

次いで、該テープ基材を前記半導体パッケージ単位に切り分けて個々の半導体装置とすることを特徴とする半導体装置の製造方法。

30 【請求項11】 請求項3記載の半導体装置を製造するための請求項10記載の方法であって、前記テープ基材に貫通孔を形成する際に請求項3記載の導体柱に対応する位置で該テープ基材を貫通する別の貫通孔を形成し、前記封止樹脂層を形成する前に該別の貫通孔を充填し且つ該テープ基材の上面から突き出た該導体柱を形成することを特徴とする半導体装置の製造方法。

【請求項12】 請求項4記載の半導体装置を製造するための請求項10記載の方法であって、請求項4記載の枠体の内壁を規定する開口を設けた絶縁性基材を前記テープ基材の上面に接合し、該テープ基材に前記貫通孔を形成する際に請求項4記載の導体柱に対応する位置で該絶縁性基材と該テープ基材とを貫通する別の貫通孔を形成し、前記半導体素子を搭載する前に該別の貫通孔を充填し且つ該絶縁性基材の上面に露出する該導体柱を形成し、該半導体素子を搭載した後に請求項4記載の間隙に前記封止樹脂層を形成することを特徴とする半導体装置の製造方法。

50 【請求項13】 前記封止樹脂層を形成した後、前記研削および研磨の前または後に、電気的試験を行うことを特徴とする請求項10から12までのいずれか1項記載

の半導体装置の製造方法。

【請求項 14】 前記複数の半導体パッケージ単位を含み得るテーブ基材が、直径 2 インチ以上 12 インチ以下のディスク状であることを特徴とする請求項 10 から 13 までのいずれか 1 項記載の半導体装置の製造方法。

【請求項 15】 下記の部材①～④：

- ①上面に金属配線を有する絶縁性テーブ基材、
- ②該テーブ基材の上面に、背面を上方に露出し且つアクティブ面を下方に向けて搭載された半導体素子であって、該アクティブ面から下方へ突起した接続端子の下端が該金属配線の上面に接続している半導体素子、
- ③該テーブ基材の上面に形成され、該半導体素子の側面周囲を封止し且つ該半導体素子の該アクティブ面と該テーブ基材の上面との間隙を充填する封止樹脂層、および
- ④下記 (A) および (B) の少なくとも一方：

(A) 該金属配線の上面から上方に延びて該半導体素子の側面周囲の封止樹脂層を貫通し上端が上方に露出した導体柱、および

(B) 該金属配線の下面から下方に延びて該テーブ基材を貫通し下方に突出した外部接続端子、を含むことを特徴とする半導体装置。

【請求項 16】 前記封止樹脂層の上面と前記半導体素子の背面が同一平面を成していることを特徴とする請求項 15 記載の半導体装置。

【請求項 17】 前記部材④として (A) 導体柱を備えた請求項 15 記載の半導体装置の製造方法であって、複数の半導体パッケージ単位を含み得る面積を有し、上面に前記金属配線を備えたテーブ基材を準備し、複数の半導体パッケージ単位を構成する必要個数の前記半導体素子の前記アクティブ面の前記接続端子を、上記テーブ基材の上面に金属配線の上面に接合することにより、該半導体素子を該テーブ基材の上面に搭載し、該金属配線の上面に下端が接合した導体柱を形成し、該金属配線および該導体柱を含めて該半導体素子の側面周囲を封止し且つ該半導体素子の該アクティブ面と該テーブ基材の上面との間隙を充填する封止樹脂層を形成し、

その後、該封止樹脂層の上部および該半導体素子の背面側部分を研削および研磨して所定の厚さとすると共に該導体柱の上端を上方に露出させ、

次いで、該テーブ基材を前記半導体パッケージ単位に切り分けて個々の半導体装置とすることを特徴とする半導体装置の製造方法。

【請求項 18】 前記部材④として (B) 外部接続端子を備えた請求項 15 記載の半導体装置の製造方法であって、複数の半導体パッケージ単位を含み得る面積を有し、上面に前記金属配線を備え、前記外部接続端子に対応する位置に厚さ方向の貫通孔を有し、該金属配線の下面が該貫通孔の上端を画定しているテーブ基材を準備し、

複数の半導体パッケージ単位を構成する必要個数の前記半導体素子の前記アクティブ面の前記接続端子を、上記テーブ基材の上面に金属配線の上面に接合することにより、該半導体素子を該テーブ基材の上面に搭載し、該金属配線を含めて該半導体素子の側面周囲を封止し且つ該半導体素子の該アクティブ面と該テーブ基材の上面との間隙を充填する封止樹脂層を形成し、その後、下記工程 (S1) および (S2) をこの順または逆順に行い：

(S1) 該封止樹脂層の上部および該半導体素子の背面側部分を研削および研磨して所定の厚さとする工程、および

(S2) 上記貫通孔の上端を画定する上記金属配線の下面から下方に延びて該貫通孔を充填して下方に突出した外部接続端子を形成する工程、

次いで、該テーブ基材を前記半導体パッケージ単位に切り分けて個々の半導体装置とすることを特徴とする半導体装置の製造方法。

【請求項 19】 前記部材④として (A) 導体柱および (B) 外部接続端子を備えた請求項 15 記載の半導体装置の製造方法であって、

複数の半導体パッケージ単位を含み得る面積を有し、上面に前記金属配線を備え、前記外部接続端子に対応する位置に厚さ方向の貫通孔を有し、該金属配線の下面が該貫通孔の上端を画定しているテーブ基材を準備し、複数の半導体パッケージ単位を構成する必要個数の前記半導体素子の前記アクティブ面の前記接続端子を、上記テーブ基材の上面に金属配線の上面に接合することにより、該半導体素子を該テーブ基材の上面に搭載し、該金属配線の上面に下端が接合した導体柱を形成し、該金属配線および該導体柱を含めて該半導体素子の側面周囲を封止し且つ該半導体素子の該アクティブ面と該テーブ基材の上面との間隙を充填する封止樹脂層を形成し、その後、下記工程 (S1) および (S2) をこの順または逆順に行い：

(S1) 該封止樹脂層の上部および該半導体素子の背面側部分を研削および研磨して所定の厚さとすると共に、前記導体柱の上端を上方に露出させる工程、および

(S2) 上記貫通孔の上端を画定する上記金属配線の下面から下方に延びて該貫通孔を充填して下方に突出した外部接続端子を形成する工程、

次いで、該テーブ基材を前記半導体パッケージ単位に切り分けて個々の半導体装置とすることを特徴とする半導体装置の製造方法。

【請求項 20】 下記の部材：所定厚さの樹脂体、該樹脂体の内部に封止され、該樹脂体の上面に背面を露出し、アクティブ面を下方に向けた半導体素子、該樹脂体の下面に形成された金属配線、および該半導体素子のアクティブ面から下方に延びて下端が該金属配線

の上面に接続している接続端子、を含むことを特徴とする半導体装置。

【請求項21】 前記樹脂体の上面と前記半導体素子の背面が同一平面を成していることを特徴とする請求項20記載の半導体装置。

【請求項22】 前記金属配線を含めて前記樹脂体の下面全体を覆うソルダレジスト層と、該金属配線の下面に形成され上記ソルダレジスト層を貫通して下方に突き出ている接続パンプとを更に含むことを特徴とする請求項20または21記載の半導体装置。

【請求項23】 前記金属配線の上面から前記樹脂体を貫通して上方に延び、上端が該樹脂体の上面に露出している複数の導体柱を更に含むことを特徴とする請求項20から22までのいずれか1項記載の半導体装置。

【請求項24】 前記導体柱の側面が前記樹脂体の側面に露出していることを特徴とする請求項23記載の半導体装置。

【請求項25】 前記樹脂体の内部に封止され、該金属配線と直接接続しているキャパシタを更に含むことを特徴とする請求項20から24までのいずれか1項記載の半導体装置。

【請求項26】 前記キャパシタが対向平板型であり、各平板の板面が前記樹脂体の厚さ方向に対して平行であることを特徴とする請求項25記載の半導体装置。

【請求項27】 前記樹脂体中に無機フィラーが分散していることを特徴とする請求項20から26までのいずれか1項記載の半導体装置。

【請求項28】 請求項23記載の半導体装置が複数層に積層され、各層の半導体装置同士が、前記導体柱の上端と前記金属配線の下面とで接続パンプを介して相互に電気的に接続されていることを特徴とする素子積層型半導体装置。

【請求項29】 請求項24記載の半導体装置が側面で相互に接続されており、側方に隣接する半導体装置同士が、前記樹脂体の側面に露出した導体柱の側面同士で相互に電気的に接続されていることを特徴とする素子並列型半導体装置。

【請求項30】 請求項24記載の半導体装置が複数層に積層され且つ側面で相互に接続されており、各層の半導体装置同士が、前記導体柱の上端と前記金属配線の下面とで接続パンプを介して相互に電気的に接続されており、且つ側方に隣接する半導体装置同士が、前記樹脂体の側面に露出した導体柱の側面同士で相互に電気的に接続されていることを特徴とする素子積層並列型半導体装置。

【請求項31】 請求項20から25までのいずれか1項記載の半導体装置の製造方法であって、複数の半導体パッケージ単位を含み得る面積を有する金属基板の上面に、前記半導体素子のアクティブ面を下方に向けて前記接続端子の先端を接合することにより、該

半導体素子を該金属基板に搭載し、

該金属基板の上面全体を樹脂で覆うことにより、内部に該半導体素子が封止され且つ下面に該金属基板が接合された樹脂体を形成し、

その後、下記工程（S1）および（S2）をこの順または逆順に行い：

（S1）該樹脂体の上部および該半導体素子の背面側部分を研削および研磨して所定の厚さとする工程、および（S2）該金属基板をパターニングすることにより、上面が該接続端子の下端に接続された金属配線を、上記樹脂体の下面に形成する工程、

次いで、該樹脂体を前記半導体パッケージ単位に切り分けて個々の半導体装置とすることを特徴とする半導体装置の製造方法。

【請求項32】 前記半導体素子を前記金属基板に搭載した後、前記樹脂体を形成する前に、該金属基板の上面に導体柱を形成する工程を更に含むことを特徴とする請求項31記載の半導体装置の製造方法。

【請求項33】 前記導体柱は、上端および／または側面が前記樹脂体から露出するように形成することを特徴とする請求項32記載の半導体装置の製造方法。

【請求項34】 請求項20から25までのいずれか1項記載の半導体装置を製造する方法であって、複数の半導体パッケージ単位を含み得る面積を有する金属基板の上面に、該金属基板とは異種の金属から成る配線パターンを設けた複合金属板を作製する工程、

上記複合金属板の上記配線パターンの上面に、前記半導体素子のアクティブ面を下方に向けて前記接続端子の先端を接合することにより、該半導体素子を該複合金属板に搭載し、

該複合金属板の上面全体を樹脂で覆うことにより、内部に該半導体素子が封止され且つ下面に該複合金属板が接合された樹脂体を形成し、

その後、下記工程（S1）および（S2）をこの順または逆順で行い：

（S1）該樹脂体の上部および該半導体素子の背面側部分を研削および研磨して所定の厚さとする工程、および（S2）該複合金属板の該金属基板をエッチングにより除去し、該配線パターンを残すことにより、上面が該接続端子の下端に接続された該配線パターンから成る金属配線を、上記樹脂体の下面に形成する工程、

次いで、該樹脂体を前記半導体パッケージ単位に切り分けて個々の半導体装置とすることを特徴とする半導体装置の製造方法。

【請求項35】 前記半導体素子を前記複合金属板に搭載した後、前記樹脂体を形成する前に、該金属基板の上面に導体柱を形成する工程を更に含むことを特徴とする請求項34記載の半導体装置の製造方法。

【請求項36】 前記導体柱は、上端および／または側面が前記樹脂体から露出するように形成することを特徴

とする請求項35記載の半導体装置の製造方法。

【請求項37】 前記樹脂体の下面に前記金属配線を形成した後に、該金属配線を含めて該樹脂体の下面全体を覆うソルダレジスト層と、該金属配線の下面に形成され上記ソルダレジスト層を貫通して下方に突き出ている接続パンプとを形成する工程を更に含むことを特徴とする請求項31または34記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、薄型パッケージとしての半導体装置およびその製造方法に関する。

【0002】

【従来の技術】従来、半導体素子（LSI等の半導体チップ）を搭載した薄型パッケージとしての半導体装置は、多ピン化、接続端子ピッチの縮小、装置全体の薄型化・小型化に最も良く適応しうるTCP（テープ・キャリア・パッケージ）が普及している。

【0003】TCPは、TAB（テープ・オートメイト・ボンディング）方式により半導体素子を絶縁性のテープ状基材（通常は樹脂フィルム）に搭載して製造される。典型的には、まず、所定パターンの開口部を設けた樹脂フィルムに銅箔を貼り付けた後、銅箔をエッチングによりパターンニングして所定の銅リードを形成する。次に、半導体素子（半導体チップ）を樹脂フィルムの開口部内に位置決めして保持し、チップの複数の接続端子（一般には金パンプ）と樹脂フィルム上の対応する複数の銅リードとを接合した後、半導体チップと銅リードの一部を樹脂封止することにより、1つの半導体パッケージ単位が完成する。そして、樹脂フィルムを断続的に送りながら各開口部毎に上記の操作を繰り返すことにより、1つのフィルム上に多数の半導体パッケージ単位が形成される。最後に、フィルムの長手方向に沿って多数形成された各半導体パッケージ単位を相互間で切断分離することにより、個々の半導体パッケージとしての半導体装置が得られる。

【0004】図1は、半導体チップとTCPのリードを接続した後の従来の半導体装置を示す斜視図であり、個々のTCPをテープから切断する前の状態を示す。TCP10は、樹脂フィルム（例えばポリイミド樹脂フィルム）1を基材として使用し、その上に銅箔のエッチングにより形成したリード2を有している。また、樹脂フィルム1の両側縁には、フィルム送りのためスプロケットホール3が開けられている。さらに、樹脂フィルム1の中央部には、図示されるように半導体チップ4を収容するための開口（一般に、「デバイスホール」と呼ばれる）5およびウインドウホール9も開けられている。

【0005】半導体チップとパッケージのリードの接続の状態を、図1の半導体装置の中心部を拡大した図2の断面図に示す。半導体チップ4は、樹脂フィルム1のデ

バイスホール5に位置決めして配置された後、その電極上のパンプ（通常、金メッキからなる突起）6にリード2の先端が接合される。このリードの接合は、通常、専用のボンディングツールを使用して一括ボンディングで行われる。なお、銅からなるリード2の先端には、パンプ6との接合を助けるため、ボンディング工程に先がけて予め金メッキなどが施される。最後に、図1には示されていないが、半導体チップ4やリード6を周囲環境の湿度、汚染などから保護するため、両者を包み込むようにして樹脂7で封止する。封止用の樹脂7としては、例えば、エポキシ樹脂が使用される。

【0006】しかし、上記従来の半導体装置には下記（a）～（e）の問題があった。

（a）樹脂フィルムへの半導体チップの取り付け高さの低減に限界があるため、半導体装置の薄型化に限界がある。すなわち、半導体素子の固定は、樹脂フィルムの開口部内に梁状に細長く突き出た銅リードでなされるため、取り付け強度を確保するには、銅リード、その支持部材となる樹脂フィルム、そして装置全体にある程度以上の厚さが必要である。仮に樹脂封止部で補強させるとすると、広い範囲を厚く封止しなければならないが、広い範囲に渡って封止の完全性を確保することは困難であり、厚く封止すると薄型化に逆行する。

【0007】（b）半導体装置の薄型化に必要な薄く脆く反り易い半導体チップは、個々に特別なキャリアを要するなど取り扱いが非常に煩雑で多数の工程を要するだけでなく、製造歩留りの向上も困難である。

（c）個々の半導体チップを1つ1つ樹脂フィルムの開口部に位置合わせして接合する必要があるため、多数の半導体パッケージを製造するには製造工程が煩雑で長くなる。

【0008】（d）半導体チップを複数層に積層した素子積層型半導体装置は、個々の半導体チップを樹脂フィルムの開口部に位置合わせ・ボンディングして取り付ける必要があるため、製造工程が更に煩雑で長くなる。

（e）個々のチップに厚さのばらつきがある上、個々の取り付け高さにもばらつきがある結果、半導体装置に高さのばらつきが生ずるため、電気的試験を半導体パッケージ単位に切断分離する前に一括して行うことが困難である。

【0009】

【発明が解決しようとする課題】本発明は、上記従来技術の問題を解消し、取り付け高さを低減すると同時に均一化し、個々のチップ取り付けのための煩雑な工程を必要とせず、製造歩留りを向上し、チップの厚さばらつきに影響されずに半導体装置の高さを均一化し、電気試験の一括実行が可能な薄型半導体パッケージとしての半導体装置およびその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段および発明の実施の形態】
上記の目的を達成するために、第1発明の半導体装置は、下記の部材：厚さ方向の貫通孔を有する絶縁性のテープ基材、該テープ基材の上面に、背面を上方に露出し且つアクティブ面を下方に向けて搭載された半導体素子、該半導体素子が搭載された領域以外の前記テープ基材上面に形成され、該半導体素子の側面周囲を封止する封止樹脂層、前記テープ基材の下面に形成され且つ該テープ基材の貫通孔の下端を塞いで底部を画定する金属配線、該金属配線および前記テープ基材の下面を覆い且つ厚さ方向の貫通孔を有するソルダレジスト層、前記金属配線の下面から隆起し、前記ソルダレジスト層の貫通孔を充填して貫通し下方に突出した外部接続端子、前記半導体素子のアクティブ面から下方に延びて、前記テープ基材の貫通孔内に挿入された接続端子、および該接続端子と前記テープ基材の貫通孔の内壁との間隙を充填し、該接続端子と該金属配線とを電気的に接続する導電性材料から成る充填材、を含むことを特徴とする。

【0011】上記第1発明の半導体装置を製造する方法は、複数の半導体パッケージ単位を含み得る面積を有し、下面に前記金属配線層および前記ソルダレジスト層を備えた前記テープ基材および該ソルダレジスト層に各々厚さ方向の前記貫通孔を形成し、該テープ基材の貫通孔に前記導電性材料を、該貫通孔を不完全に充填する量で充填し、複数の半導体パッケージ単位を構成する必要個数の前記半導体素子の前記接続端子を上記テープ基材の対応する貫通孔に各々挿入して、該接続端子と該貫通孔の内壁との間隙を該貫通孔のほぼ上端まで該導電性材料により充填させると共に、該半導体素子を該テープ基材の上面に接合して搭載し、該半導体素子が搭載された領域以外の該テープ基材の上面を覆い且つ少なくとも該半導体素子の側面周囲を封止する封止樹脂層を形成し、その後、該封止樹脂層の上部および該半導体素子の背面側部分を研削および研磨して所定の厚さとし、次いで、該テープ基材を前記半導体パッケージ単位に切り分けて個々の半導体装置とすることを特徴とする。

【0012】第1発明によれば、半導体素子のアクティブ面から下方に延びて、テープ基材の貫通孔内に挿入された接続端子、および接続端子とテープ基材の貫通孔の内壁との間隙を充填し、接続端子と金属配線とを電気的に接続する導電性材料から成る充填材を備えた構造としたことにより、半導体素子をアクティブ面で直接テープ基材と接合できると同時に、テープ基材の貫通孔に挿入した接続端子および間隙を充填する導電性材料から成る充填材により半導体素子を金属配線層に電気的に接続できるので、従来技術のように半導体素子をテープ基材の開口内にリードで固定する構造に比べて、取り付け強度を容易に確保して従来よりも薄型化することができる。

【0013】第1発明によれば更に、テープ基材上に多数の半導体素子を固定し、半導体素子の側面周囲を樹脂

封止した状態で、半導体素子の背面および封止樹脂層を上から研削および研磨して所定値まで高さを低減できるので、個々の半導体チップは薄くせずに厚い状態で取り扱うことができ、従来のように煩雑な工程も特別なキャリアも必要とせず、多数の半導体パッケージ単位をテープ基材に固定された一体として一括して製造でき、半導体パッケージとしての半導体装置の高さを薄くかつ均一に揃えることができ、電気的試験も一括して実行でき、製造工程を短縮し且つ製品歩留りを向上した上で、従来よりも薄型化することができる。

【0014】第1発明の一形態による半導体装置は、①前記封止樹脂層および前記封止樹脂層が形成されている領域の前記テープ基材を貫通し、上端が該封止樹脂層の上面に露出し、下端が前記金属配線層に電気的に接続している導体柱を更に含む構造か、あるいは②前記封止樹脂層に代えて、前記半導体素子が搭載された領域以外の前記テープ基材上面に接合され該半導体素子の側面を間隙を介して取り囲む絶縁性の枠体と、該間隙内を充填して該半導体素子の側面周囲を封止する封止樹脂層を含み、該枠体および該枠体が接合されている領域の該テープ基材を貫通し、上端が該枠体の上面に露出し、下端が前記金属配線層に電気的に接続している導体柱を更に含む構造である。

【0015】上記①または②の構造は、積層型半導体装置の製造に適用すると特に有利である。これにより製造される第1発明の積層型半導体装置は、上記①または上記②の半導体装置が複数層に積層され、各層の半導体装置同士が、前記導体柱の上端と前記外部接続端子の下端とで相互に電気的に接続されている構造である。第1発明の半導体装置においては、前記半導体素子のアクティブ面から下方に延びた接続端子は、典型的には金または銅のパンブから成る。

【0016】第1発明の半導体装置においては、前記ソルダレジスト層の開口を充填して貫通する外部接続端子は、半導体装置の用途あるいは顧客の要望に応じてベリフェラルまたはエリアアレイの形態で配置される。第1発明の半導体装置においては、前記接続端子と前記テープ基材の貫通孔の内壁との間隙を、該貫通孔のほぼ上端の位置まで前記充填材が充填していることが望ましい。すなわち、充填材の量は、後から挿入される半導体素子の接続端子との合計体積が、テープ基材の貫通孔（底部を金属配線が画定）の容積とほぼ等しくなるように設定する。これにより、接続端子と金属配線との接続が確実に成され、同時に、余分な導電性材料が貫通孔上端から溢れることが防止される。導電性材料としては、低融点金属または導電性ペーストを用いることができる。

【0017】第1発明の製造方法においては、テープ基材上に形成された多数の半導体パッケージ単位の高さが均一に揃っているため、前記封止樹脂層を形成した後、前記研削および研磨の前または後に、容易に一括して電

氣的試験を行うができる。第1発明の製造方法に用いるテープ基材は、前記複数の半導体パッケージ単位を含み得るサイズであって、直径2インチから12インチまでのディスク状であることが望ましい。これにより、同サイズの半導体ウェハを処理する既存の研削機や切断機等の設備を用いることができるので、その分、新規設備のための費用を低減できる。

【0018】第2発明の半導体装置は、下記の部材④～④：

- ①上面に金属配線を有する絶縁性テープ基材、
- ②該テープ基材の上面に、背面を上方に露出し且つアクティブ面を下方に向けて搭載された半導体素子であって、該アクティブ面から下方へ突起した接続端子の下端が該金属配線の上面に接続している半導体素子、
- ③該テープ基材の上面に形成され、該半導体素子の側面周囲を封止し且つ該半導体素子の該アクティブ面と該テープ基材の上面との間隙を充填する封止樹脂層、および
- ④下記（A）および（B）の少なくとも一方：

（A）該金属配線の上面から上方に延びて該半導体素子の側面周囲の封止樹脂層を貫通し上端が上方に露出した導体柱、および

（B）該金属配線の下面から下方に延びて該テープ基材を貫通し下端が下方に露出した外部接続端子、を含むことを特徴とする。典型的には、前記封止樹脂層の上面と前記半導体素子の背面が同一平面を成している。

【0019】第2発明の半導体装置の製造方法は、部材④として（A）導体柱と（B）外部接続端子の一方または両方を備える3つの場合に依りて、下記の（1）～（3）の形態をとる。

（1）部材④として（A）導体柱を備えた第2発明の半導体装置の製造方法は、複数の半導体パッケージ単位を含み得る面積を有し、上面に前記金属配線を備えたテープ基材を準備し、複数の半導体パッケージ単位を構成する必要個数の前記半導体素子の前記アクティブ面の前記接続端子を、上記テープ基材の上記金属配線の上面に接合することにより、該半導体素子を該テープ基材の上面に搭載し、該金属配線の上面に下端が接合した導体柱を形成し、該金属配線および該導体柱を含めて該半導体素子の側面周囲を封止し且つ該半導体素子の該アクティブ面と該テープ基材の上面との間隙を充填する封止樹脂層を形成し、その後、該封止樹脂層の上部および該半導体素子の背面側部分を研削および研磨して所定の厚さとすると共に該導体柱の上端を上方に露出させ、次いで、該テープ基材を前記半導体パッケージ単位に切り分けて個々の半導体装置とすることを特徴とする。

【0020】（2）部材④として（B）外部接続端子を備えた第2発明の半導体装置の製造方法は、複数の半導体パッケージ単位を含み得る面積を有し、上面に前記金属配線を備え、前記外部接続端子に対応する位置に厚さ方向の貫通孔を有し、該金属配線の下面が該貫通孔の上

端を画定しているテープ基材を準備し、複数の半導体パッケージ単位を構成する必要個数の前記半導体素子の前記アクティブ面の前記接続端子を、上記テープ基材の上記金属配線の上面に接合することにより、該半導体素子を該テープ基材の上面に搭載し、該金属配線を含めて該半導体素子の側面周囲を封止し且つ該半導体素子の該アクティブ面と該テープ基材の上面との間隙を充填する封止樹脂層を形成し、その後、下記工程（S1）および（S2）をこの順または逆順に行い：

- 10 （S1）該封止樹脂層の上部および該半導体素子の背面側部分を研削および研磨して所定の厚さとする工程、および

（S2）上記貫通孔の上端を画定する上記金属配線の下面から下方に延びて該貫通孔を充填して下方に下端を露出した外部接続端子を形成する工程、次いで、該テープ基材を前記半導体パッケージ単位に切り分けて個々の半導体装置とすることを特徴とする。

- 【0021】（3）部材④として（A）導体柱および（B）外部接続端子を備えた第2発明の半導体装置の製造方法は、複数の半導体パッケージ単位を含み得る面積を有し、上面に前記金属配線を備え、前記外部接続端子に対応する位置に厚さ方向の貫通孔を有し、該金属配線の下面が該貫通孔の上端を画定しているテープ基材を準備し、複数の半導体パッケージ単位を構成する必要個数の前記半導体素子の前記アクティブ面の前記接続端子を、上記テープ基材の上記金属配線の上面に接合することにより、該半導体素子を該テープ基材の上面に搭載し、該金属配線の上面に下端が接合した導体柱を形成し、該金属配線および該導体柱を含めて該半導体素子の側面周囲を封止し且つ該半導体素子の該アクティブ面と該テープ基材の上面との間隙を充填する封止樹脂層を形成し、その後、下記工程（S1）および（S2）をこの順または逆順に行い：

（S1）該封止樹脂層の上部および該半導体素子の背面側部分を研削および研磨して所定の厚さとする工程、および

- 30 （S2）上記貫通孔の上端を画定する上記金属配線の下面から下方に延びて該貫通孔を充填して下方に下端を露出した外部接続端子を形成する工程、次いで、該テープ基材を前記半導体パッケージ単位に切り分けて個々の半導体装置とすることを特徴とする。

【0022】第2発明によれば、半導体素子のアクティブ面から下方に突起した接続端子の下端が、テープ基材上面にある金属配線の上面に接続された構造としたことにより、第1発明のようにテープ基材の貫通孔内で充填材を介して接続端子と金属配線とが接続するよりも更に簡潔な構造とすることができるので、薄型半導体装置の生産性を更に高めることができる。

- 50 【0023】第2発明においても、第1発明と同様に、テープ基材上に多数の半導体素子を固定し、半導体素子

の側面周囲を樹脂封止した状態で、半導体素子の背面および封止樹脂層を上から研削および研磨して所定値まで高さを低減できるので、個々の半導体チップは薄くせずに厚い状態で取り扱うことができ、従来のように煩雑な工程も特別なキャリアも必要とせず、多数の半導体パッケージ単位をテープ基材に固定された一体として一括して製造でき、半導体パッケージとしての半導体装置の高さを薄くかつ均一に揃えることができ、電気的試験も一括して実行でき、製造工程を短縮し且つ製品歩留りを向上した上で、従来よりも薄型化することができる。

【0024】第3発明の半導体装置は、下記の部材：所定厚さの樹脂体、該樹脂体の内部に封止され、該樹脂体の上面に背面を露出し、アクティブ面を下方に向けた半導体素子、該樹脂体の下面に形成された金属配線、および該半導体素子のアクティブ面から下方に延びて下端が該金属配線の上面に接続している接続端子、を含むことを特徴とする。典型的には、前記樹脂体の上面と前記半導体素子の背面が同一平面を成している。

【0025】第3発明の半導体装置を製造する第1の方法は、複数の半導体パッケージ単位を含み得る面積を有する金属基板の上面に、前記半導体素子のアクティブ面を下方に向けて前記接続端子の先端を接合することにより、該半導体素子を該金属基板に搭載し、該金属基板の上面全体を樹脂で覆うことにより、内部に該半導体素子が封止され且つ下面に該金属基板が接合された樹脂体を形成し、その後、下記工程（S1）および（S2）をこの順または逆順に行い：

（S1）該樹脂体の上部および該半導体素子の背面側部分を研削および研磨して所定の厚さとする工程、および（S2）該金属基板をパターンニングすることにより、上面が該接続端子の下端に接続された金属配線を、上記樹脂体の下面に形成する工程、次いで、該樹脂体を前記半導体パッケージ単位に切り分けて個々の半導体装置とすることを特徴とする。

【0026】第3発明の半導体装置を製造する第2の方法は、複数の半導体パッケージ単位を含み得る面積を有する金属基板の上面に、該金属基板とは異種の金属から成る配線パターンを設けた複合金属板を作製する工程、上記複合金属板の上記配線パターンの上面に、前記半導体素子のアクティブ面を下方に向けて前記接続端子の先端を接合することにより、該半導体素子を該複合金属板に搭載し、該複合金属板の上面全体を樹脂で覆うことにより、内部に該半導体素子が封止され且つ下面に該複合金属板が接合された樹脂体を形成し、その後、下記工程（S1）および（S2）をこの順または逆順で行い：

（S1）該樹脂体の上部および該半導体素子の背面側部分を研削および研磨して所定の厚さとする工程、および（S2）該複合金属板の該金属基板をエッチングにより除去し、該配線パターンを残すことにより、上面が該接続端子の下端に接続された該配線パターンから成る金属

配線を、上記樹脂体の下面に形成する工程、次いで、該樹脂体を前記半導体パッケージ単位に切り分けて個々の半導体装置とすることを特徴とする。

【0027】第3発明によれば、テープ基材を含まない構造としたことにより、第1発明および第2発明よりも更に薄型化できると同時に、部材数が少なく、より簡潔な構造であるため更に高い生産性を達成できる。第3発明においても、一体の樹脂体中に多数の半導体素子を封止し、半導体素子の背面および樹脂体を上から研削および研磨して所定値まで高さを低減できるので、個々の半導体チップは薄くせずに厚い状態で取り扱うことができ、従来のように煩雑な工程も特別なキャリアも必要とせず、多数の半導体パッケージ単位を樹脂体中に固定した一体として一括して製造でき、半導体パッケージとしての半導体装置の高さを薄くかつ均一に揃えることができ、電気的試験も一括して実行でき、製造工程を短縮し且つ製品歩留りを向上した上で、従来よりも薄型化することができる。

【0028】一つの望ましい形態においては、前記金属配線を含めて前記樹脂体の下面全体を覆うソルダレジスト層と、該金属配線の下面に形成され上記ソルダレジスト層を貫通して下方に突き出ている接続パンプとを更に含む。

【0029】別の望ましい形態においては、前記金属配線の上面から前記樹脂体を貫通して上方に延び、上端が該樹脂体の上面に露出している複数の導体柱を更に含む。この形態により、半導体装置が複数層に積層され、各層の半導体装置同士が、前記導体柱の上端と前記金属配線の下面とで上記接続パンプを介して相互に電気的に接続されている素子積層型半導体装置が容易に得られる。

【0030】他の望ましい形態においては、前記導体柱の側面が前記樹脂体の側面に露出している。この形態により、半導体装置が側面で相互に接続されており、側方に隣接する半導体装置同士が、前記樹脂体の側面に露出した導体柱の側面同士で相互に電気的に接続されている素子並列型半導体装置が容易に得られる。

【0031】更にもう一つの望ましい形態においては、前記導体柱の側面が前記樹脂体の側面に露出している。この形態により、半導体装置が複数層に積層され且つ側面で相互に接続されており、各層の半導体装置同士が、前記導体柱の上端と前記金属配線の下面とで接続パンプを介して相互に電気的に接続されており、且つ側方に隣接する半導体装置同士が、前記樹脂体の側面に露出した導体柱の側面同士で相互に電気的に接続されている素子積層並列型半導体装置が容易に得られる。

【0032】上記各望ましい形態によれば、個々の半導体装置を検査し、良品のみを選択し積層および／または側方接続して素子積層型、素子並列型、素子積層並列型の半導体装置を製造することができるので、製品歩留り

を更に高めることができる。

【0033】一形態においては、前記樹脂体の内部に封止され、該金属配線と直接接続しているキャパシタを更に含むことができる。望ましくは、前記キャパシタは対向平板型であり、各平板の板面が前記樹脂体の厚さ方向に対して垂直である。

【0034】一形態においては、前記樹脂体中に無機フィラーが分散している。これにより樹脂体の熱膨脹係数および熱伝導率を所望値に調製することができる。

【0035】

【実施例】以下、添付図面を参照し本発明を実施例により詳細に説明する。

【実施例1】図3(1)および(2)に、第1発明による半導体装置の一例を(1)断面図および(2)上面図でそれぞれ示す。

【0036】図示した半導体装置20は、厚さ方向の貫通孔22を有する絶縁性のテープ基材21の上面に、半導体素子23が背面23Bを上方に露出し且つアクティブ面23Aを下方に向けて接合されている。半導体素子23が接合された領域21X以外のテープ基材上面領域21Yには、封止樹脂層24が形成されおり、半導体素子23の側面周囲を封止している。テープ基材21の下面に形成された金属配線25が、テープ基材21の貫通孔22の下端を塞いで底部を画定している。厚さ方向の貫通孔27を有するソルダレジスト層26が、金属配線25およびテープ基材21の下面を覆っている。金属配線25の下面から隆起した外部接続端子28が、ソルダレジスト層26の貫通孔27を充填して貫通し下方に突出している。半導体素子23のアクティブ面23Aから下方に延びた接続端子29が、テープ基材21の貫通孔内に挿入されている。接続端子29とテープ基材21の貫通孔22の内壁との間隙に充填された低融点金属の充填材30によって、接続端子29と金属配線25とが電気的に接続されている。

【0037】充填材30としては、低融点金属に代えて導電ペーストを用いてもよい。導電ペーストとしては、ポリイミド樹脂やエポキシ樹脂中に銀または銅の粒子を分散させた銀ペーストまたは銅ペーストが一般的に用いられる。これらの導電ペーストをスクリーン印刷等により貫通孔内に充填する。図示の例では、半導体素子23の背面と封止樹脂層24の上面は同一平面上にあるが、封止樹脂層24が半導体素子23の側面周囲を封止している限り必ずしも同一平面でなくともよく、半導体素子23の側面から離れた部位では封止樹脂層24の高さが半導体素子23の背面より低くてもよい。

【0038】図3に示した第1発明の半導体装置の製造方法の一例を、図4～図9を参照して以下に説明する。図4に最初に準備する初期構造を示す。テープ基材21は、複数の半導体パッケージ単位を含み得る面積を有し、下面に金属配線層25およびソルダレジスト層26

を備えている。テープ基材21としては、各種の有機材料あるいは高分子材料を用いることができるが、一般にポリイミドフィルム、ガラスやアラミド等の繊維で強化したエポキシフィルムあるいはBT(ビスマレイミドトリアジン)フィルム、PPE(ポリフェニレンエーテル)フィルム等の樹脂フィルムあるいは樹脂シートが適している。テープ基材21の厚さは、基材として必要な強度および剛性が確保される限り薄い方が半導体装置の薄型化にとっては望ましく、一般には25μm～100μmの範囲、特に75μm前後が用いられる。

【0039】テープ基材21にバンチング等により貫通孔22を形成した後、片面に金属配線層25を形成するための銅箔を貼り付ける。あるいは、テープ基材21と銅箔とが一体化された銅箔付テープを用い、テープ基材21部分にレーザ加工を施すことにより、テープ基材21を貫通し銅箔を底部とする孔を形成してもよい。銅箔付テープは、銅箔にポリイミド等の樹脂の塗布により絶縁層を形成したものである。

【0040】次に、テープ基材21の貫通孔22(金属配線層25により底部が画定)に、低融点金属の充填材30を不完全に充填する。すなわち、後工程で半導体素子21の接続端子29を挿入したときに、充填材30が接続端子29と貫通孔22の内壁との間隙を貫通孔22のほぼ上端まで満たすような充填量とする。充填材30の低融点金属としては、銀-錫合金(Ag-Sn)、鉛-錫合金(Pb-Sn)、銀-錫-銅合金(Ag-Sn-Cu)、これらにビスマス(Bi)やアンチモン(Sb)を含む合金等を用いることができる。充填は、銅箔を給電層として用いた電解めっきにより行うことが望ましいが、はんだペーストのスクリーン印刷によって行うこともできる。

【0041】次いで、上記の銅箔をエッチングによりパターンニングして金属配線層25を形成する。金属配線層25の形成後に、貫通孔27を有するソルダレジスト層26を形成する。貫通孔27を有するソルダレジスト層26の形成は、一般的には感光性レジストの塗布、露光、現像により行う。外部接続端子の個数(貫通孔27の個数)が少なく、外部接続端子間のピッチが十分大きい場合には、樹脂のスクリーン印刷によって行うことができる。ソルダレジスト層26の貫通孔27は、製造する半導体装置20の用途に応じてペリフェラルまたはエリアアレイ状に形成する。

【0042】次に、図5に示すように、テープ基材21の上面に液状あるいは半硬化状態の樹脂から成る絶縁性コーティング31を塗布する。半硬化状態の絶縁性コーティング31は半導体素子を接着する作用がある。次いで、図6に示すように、硬化前のコーティング31の上に半導体素子23を配置して接合する。すなわち、複数の半導体パッケージ単位を構成する必要個数の半導体素子23の接続端子29をテープ基材21の対応する貫通

孔22に各々挿入して、接続端子29と貫通孔22の内
壁との間隙を貫通孔22のほぼ上端まで低融点金属30
により充填させると共に、半導体素子23をテープ基材
21の上面に接合して搭載する。これは、半導体素子2
3を低融点金属30の融点近傍の温度に加熱して、接続
端子29を貫通孔22内の低融点金属30中に押し込む
ことにより行う。

【0043】半導体素子23の接続端子29は、金また
は銅のバンプとして形成することが望ましい。接続端子
29が周縁領域に配置されている半導体素子23の場合
には、一般にワイヤボンディング法を利用したスタッド
バンプとして接続端子29を形成する。接続端子29が
中央部のアクティブ領域に配置されている半導体素子2
3の場合には、スタッドバンプ形成による機械的衝撃を
避ける観点から、めっき法により接続端子29を形成す
ることが望ましい。めっき法は、半導体素子上に再配線
部を伴いエリアレイ状にバンプを形成する場合に特に
有利である。スタッドバンプは金で形成することが望ま
しく、めっきバンプは保護めっき層を備えた銅ポストと
して形成することが望ましい。

【0044】接続端子すなわちバンプ29のサイズは、
半導体装置20の設計厚さに応じて任意に設定できる。
一例においては、バンプ29は底部の直径が70 μ m、
高さ30～60 μ mである。その場合、バンプ29の形
成における位置決め精度を考慮すると、バンプ29が挿
入されるテープ基材21の貫通孔22は直径90～15
0 μ m程度の範囲が適当である。

【0045】次に、図7に示すように、半導体素子23
が搭載された領域以外のテープ基材21の上面を覆い且
つ少なくとも半導体素子23の側面周囲を封止する封止
樹脂層24を形成する。なお、図7～図9においては、
非常に薄い絶縁性コーティング31は封止樹脂層24と
一体として図示し、別個の図示は省略した。図7には、
封止樹脂層24は半導体素子23も覆い、全体がほぼ同
一厚さに形成されている態様を示した。ただし別の態様
として、図8に示したように、この工程段階において封
止樹脂層24は半導体素子23を必ずしも覆う必要はな
く、半導体素子23の側面との接触部は封止樹脂層24
の厚さを半導体素子23の高さと同等とし、半導体素子
23から離れた領域ではこれより薄くてもよい。すなわ
ち、この工程段階で形成する封止樹脂層24の厚さは、
次工程で行う研削および研磨後に半導体素子23の側面
周囲を完全に封止できる厚さで残るように設定すればよ
い。

【0046】次に、図9に示すように、封止樹脂層24
の上部および半導体素子23の背面23B側部分を研削
および研磨して所定の厚さとする。これにより、例えば
図7あるいは図8の状態で500 μ m程度であった半導
体素子23を50～100 μ m程度に薄くすることがで
きる。その結果、半導体装置20は、120～300 μ

m程度に薄くできる。これは、従来最も多用されている
TSOP (Thin-Small-Outline Package) の厚さ120
0 μ m程度と比較すると、1/4以下の厚さである。

【0047】研削および研磨後に、ソルダレジスト層2
6の貫通孔27内に、ソルダレジスト層26の下面から
突き出た外部接続端子28を形成する。これは、はんだ
ボールの搭載またははんだペーストのスクリーン印刷の
後、リフローすることにより行う。最後に、図9に破線
で示した各位置で半導体パッケージ単位uに切り分ける
ことにより、個々の半導体装置20(図3)が得られ
る。

【0048】〔実施例2〕図10(1)および(2)
に、第1発明による半導体装置の他の例を(1)断面図
および(2)上面図でそれぞれ示す。図3に示す実施例
1の構造と対応する部分には図3中と同じ参照番号を付
した。図示した半導体装置40は、図3に示した構造に
加えて、低融点金属の導体(導体柱)32を更に含む。
導体32は、半導体素子23の側面周囲を封止する封止
樹脂層24および封止樹脂層24が形成されている領域
のテープ基材21を貫通し、上端が封止樹脂層24の上
面に露出し、下端が金属配線層25に電気的に接続して
いる。

【0049】図10の半導体装置40は、図11に示し
たように複数層積層して薄型の積層型半導体装置44を
有利に形成できる。すなわち、下層の半導体装置40の
低融点金属の導体32の上端と、上層の半導体装置40
の外部接続端子28の下端とを接続することにより、積
層構造全体として複数(この例では3個)の半導体素子
23を含む一体の回路から成る1つの半導体装置44を
構成する。半導体装置40の積層は、下記のようにして
行うことができる。

【0050】すなわち、半導体装置の外形を有する治具
(外形ガイド)で複数の半導体装置を位置決めしながら
積層し、積層方向に適当な荷重を負荷した状態で一括し
てリフローすることにより積層型半導体装置が得られ
る。あるいは、個々の半導体装置に設けたガイド孔にピン
を通して位置決めしながら複数の半導体装置を積層
し、積層方向に適当な荷重を負荷した状態で一括してリ
フローしてもよい。

【0051】図10に示した第1発明の半導体装置の製
造方法の一例を、図12～16を参照して以下に説明す
る。図4～図9に示す実施例1の構造に対応する部分に
は図4～図9中と同じ参照番号を付した。図12に示し
た初期構造は、テープ基材21に貫通孔22の他に貫通
孔33が形成されている以外は、図4に示した実施例1
の初期構造と同様である。貫通孔22は実施例1と同様
に半導体素子23の接続端子29に対応する位置に設け
てあり、貫通孔33は半導体素子23の側面周囲を封止
する封止樹脂層24の形成領域内に設けてある。通常、
貫通孔33は貫通孔22に対して直径が数倍の大きさで

ある。例えば、貫通孔22が直径25～100 μ m程度であるのに対して、貫通孔33は直径500 μ m程度である。金属配線層25によって底面を画定された貫通孔33内に、少量のフラックス34を配置する。図12に示した初期構造の他の部分については、実施例1と同様の処理によって形成する。

【0052】次に、図13に示したように、貫通孔33内に、封止樹脂層24の上面から突き出た低融点金属の導体32を形成する。これは、貫通孔33内のフラックス34上に、低融点金属の球（例えば、はんだボール）を載せ、リフローすることにより行う。その後、実施例1と同様にして絶縁性のコーティング31を形成する。

【0053】次に、図14に示すように、実施例1と同様にして、硬化前のコーティング31の上に半導体素子23を配置して接合する。これに伴い、半導体素子23のアクティグ面23Aから隆起した接続端子29が、テープ基材21の貫通孔22内に挿入され、低融点金属30の中に押し込まれる。次に、図15に示すように、半導体素子23が搭載された領域以外のテープ基材21の上面を覆い且つ少なくとも半導体素子23の側面周囲を封止する封止樹脂層24を形成する。図15～図16において、絶縁性のコーティング31は図示を省略した。

【0054】図15には、封止樹脂層24は半導体素子23も覆い、全体がほぼ同一厚さに形成されている態様を示した。ただし、実施例1について図8に示したように、この工程段階においては封止樹脂層24は半導体素子23を必ずしも覆う必要はなく、半導体素子23の側面との接触部は封止樹脂層24の厚さを半導体素子23の高さと同等とし、半導体素子23から離れた領域ではこれより薄くてもよい。すなわち、この工程段階で形成する封止樹脂層24の厚さは、次工程で行う研削および研磨後に半導体素子23の側面周囲を完全に封止できる厚さで残るように設定すればよい。

【0055】次に、図16に示すように、封止樹脂層24の上部、導体32の頂部および半導体素子23の背面23B側部分を研削および研磨して所定の厚さとする。研削および研磨後に、ソルダレジスト層26の貫通孔27内に、実施例1と同様にして外部接続端子28を形成する。最後に、図16に破線で示した各位置で半導体パッケージ単位uに切り分けることにより、個々の半導体装置40（図10）が得られる。

【0056】〔実施例3〕図17（1）および（2）に、第1発明による半導体装置のもう一つの例を（1）断面図および（2）上面図でそれぞれ示す。図3に示す実施例1の構造と対応する部分には図3中と同じ参照番号を付した。図示した半導体装置60は、図3に示した構造における封止樹脂層24に代えて、半導体素子23が搭載された領域以外のテープ基材21上面に接合され半導体素子23の側面を間隙Gを介して取り囲む絶縁性の枠体36と、間隙G内を充填して半導体素子23の側

面周囲を封止する封止樹脂層24とを含み、枠体36および枠体36が接合されている領域のテープ基材21を貫通し、上端が枠体36の上面に露出し、下端が金属配線層25に電気的に接続している低融点金属の柱状の導体（導体柱）32を更に含む構造である。

【0057】図17の半導体装置60は、図18に示したように複数層積層して薄型の積層型半導体装置66を有利に形成できる。すなわち、下層の半導体装置60の低融点金属の柱状の導体32の上端と、上層の半導体装置60の外部接続端子28の下端とを接続することにより、積層構造全体として複数（この例では3個）の半導体素子23を含む一体の回路から成る1つの半導体装置66を構成する。半導体装置60の積層は、実施例2と同様にして行うことができる。

【0058】図17に示した第1発明の半導体装置60の製造方法の一例を、図19～22を参照して以下に説明する。図4～図9に示す実施例1の構造に対応する部分には図4～図9中と同じ参照番号を付した。図19に示した初期構造は、図4に示した構造に加えて、テープ基材21の上面に、半導体素子23を搭載する領域に開口37を有する絶縁性基材36が接合されており、テープ基材21および絶縁性基材36を貫通して柱状の導体32が形成されている。開口37は、図17（2）に示したように、間隙Gを介して半導体素子23を収容し得る形状および寸法になっている。テープ基材21の貫通孔22は実施例1と同様に半導体素子の接続端子29に対応する位置に設けてある。

【0059】絶縁性基材36はテープ基材21と同じ外形のテープ状であり、パンチング等により開口37を形成した後に、テープ基材21の上面に接合される。その後、柱状導体32を形成する位置に、レーザー加工により絶縁性基材36およびテープ基材21を貫通する貫通孔を開く。次いで、金属配線層25にバタニングする前の銅箔を給電層として用いた孔埋めめっきにより、柱状導体32を形成する。図19の初期構造の他の部分については、実施例1と同様の処理により形成する。通常、柱状導体32は貫通孔22に対して直径が数倍の大きさである。例えば、貫通孔22が直径25～100 μ m程度であるのに対して、柱状導体32は直径500 μ m程度である。次に、図20に示すように、開口37内に露出したテープ基材21の上面に絶縁性のコーティング31を形成した後、実施例1と同様にして、硬化前のコーティング31の上に半導体素子23を配置して接合する。これに伴い、半導体素子23のアクティグ面23Aから隆起した接続端子29が、テープ基材21の貫通孔22内に挿入され、低融点金属30の中に押し込まれる。

【0060】次に、図21に示すように、半導体素子23と絶縁性基材36の開口37との間隙Gを、封止樹脂層24で封止する。これにより半導体素子23の側面周

図が封止される。図21～図22において、絶縁性のコーティング31は図示を省略した。次に、図22に示すように、絶縁性基材36の上部、封止樹脂層24の上部、導体32の頂部および半導体素子23の背面23B側部分を研削および研磨して所定の厚さとする。

【0061】研削および研磨後に、ソルダレジスト層26の貫通孔27内に、実施例1と同様にして外部接続端子28を形成する。最後に、図22に破線で示した各位置で半導体パッケージ単位uに切り分けることにより、個々の半導体装置60(図17)が得られる。

〔実施例4〕図23に、テープ基材21を含む初期構造として、直径2インチから12インチまでのディスク状のものをを用いて製造した、切り分け前の構造を示す。このような形状および寸法の初期構造を用いることにより、同サイズの半導体ウェハを処理する既存の研削機や切断機等の設備を用いることができるので、その分、新規設備のための費用を低減できる。図23には、実施例3の構造の半導体素子を製造する場合を示したが、もちろん実施例1および実施例2の場合にも同様に適用できる。

【0062】〔実施例5〕図24(1)、(2)および(3)に、第2発明による半導体装置の一例を(1)断面図、(2)断面図および(3)上面図でそれぞれ示す。実施例1～4の構造と対応する部分には、これら実施例における参照番号に100を加算した参照番号を付した(以降の実施例においても同様)。図示した半導体装置101は、絶縁性テープ基材121の上面に、金属配線125が形成されており、半導体素子123が背面123Bを上方に露出しアクティブ面123Aを下方に向けて搭載されている。半導体素子123のアクティブ面123Aから下方へ突起した接続端子129の下端が金属配線125の上面に接続してゐる。テープ基材121の上面に形成された封止樹脂層124が、半導体素子123の側面周囲を封止し且つ半導体素子123のアクティブ面123Aとテープ基材121の上面との間隙を充填している。

【0063】導体柱132が、金属配線125の上面から上方に延びて半導体素子123の側面周囲の封止樹脂層124を貫通し、上端を上方に露出している。導体柱132は、図24(1)に示したようにほぼボール状(より正確にはエンタシス状)であってもよいし、図24(2)に示したように直棒状であってもよい。導体柱132は、銅またはニッケル等の金属の柱またはボールであり、望ましくははんだ等の低融点金属のボールである。このはんだとしては、銀-錫合金(Ag-Sn)、鉛-錫合金(Pb-Sn)、銀-錫-銅合金(Ag-Sn-Cu)、これらにビスマス(Bi)やアンチモン(Sb)を含むはんだを用いることができる。

【0064】図25を参照して、図24に示した半導体装置101の製造方法を説明する。本実施例は、実施例

1～4と同様に多数の半導体パッケージ単位について一括して製造する場合に適用できるが、以下においては、説明を簡潔にするために、単一の半導体パッケージ単位について製造する形で説明する。まず、図25(1)に示すように、アクティブ面123Aに接続端子129を備えた半導体素子123と、上面に金属配線125を備えたテープ基材121を準備する。接続端子129の形成方法、テープ基材121の材料構成、金属配線125の形成方法は、実施例1と同様である。

10 【0065】次に、図25(2)に示すように、半導体素子123のアクティブ面123Aの接続端子129を、テープ基材121の金属配線125の上面に接合することにより、半導体素子123をテープ基材121の上面に搭載する。この接合(搭載)は下記のようにして行うことができる。予め、めっき等により金属配線125の所定位置に形成した金属(はんだ)層に接続端子129を加圧接合するか、または、金属配線125上の金めっき上に金バンプから成る接続端子129を載せて超音波印加により直接接合または異方導電性フィルムかべ

20 ーストを介して接合する。
【0066】次に、図25(3)に示すように、金属配線125の上面に下端が接合した導体柱132を形成する。図示の例では、導体柱132は図24(2)に示したほぼボール状(より正確にはエンタシス状)であり、はんだボールである。はんだボールを用いた導体柱132の形成は、金属配線125上面の所定箇所に、はんだボールを搭載するか、またははんだペーストをスクリーン印刷した後に、リフローすることにより行うことができる。導体柱132は図24(2)に示した直棒状であってもよい。直棒状の導体柱132の形成は下記のように行うことができる。表面にはんだめっき、錫(Sn)めっき、インジウム(In)めっき等を施した金属、好ましくは銅、の棒状体を、金属配線125上面の所定箇所に加熱加圧により接合するか、または、予め金属配線125上面の所定箇所にはんだ等のめっきを施した上に上記棒状体を搭載し、リフローする。

【0067】次に、図25(4)に示すように、封止樹脂層124を形成する。封止樹脂層124は、金属配線125および導体柱132を含めて半導体素子123の側面周囲を封止し且つ半導体素子123のアクティブ面123Aとテープ基材121の上面との間隙を充填する。封止樹脂層124の形成は、モールドイングまたはポッティングにより行うことができる。

【0068】次に、図25(5)に示すように、封止樹脂層124の上部および半導体素子123の背面側部分を研削および研磨して所定厚さとし、導体柱132の上端を上方に露出させる。図25(4)の工程で、封止樹脂層124の上面は半導体素子123の上面(背面)と同一平面としてあるが、必ずしもその必要はなく、図25(5)の研削・研磨により半導体素子123を含めた

全体を所定厚さとしたときに導体柱132の上端が上方に露出するように封止樹脂層124の厚さを設定すればよい。

【0069】図25には単一の半導体パッケージ単位についてのみ示したが、実際には複数の半導体素子パッケージ単位を含み得る面積のテープ基材121を用いて、図25(1)～(5)の工程を行うことにより、多数の半導体パッケージ単位を一括して製造することができる。その場合、最後にテープ基材121を半導体パッケージ単位に切り分けて個々の半導体装置101(図2

4)を得ることができる。
【0070】〔実施例6〕図26(1)および(2)に、第2発明による半導体装置の他の例を(1)断面図および(2)上面図でそれぞれ示す。本実施例の半導体装置102においては、実施例5の導体柱132の代わりに、外部接続端子128が、金属配線125の下面から下方に延びてテープ基材121を貫通して下方に突出している。それ以外は実施例5と同じ構造である。外部接続端子128の材料は、導体柱132に用いるのと同じ材料から選択できる。

【0071】図27を参照して、図26に示した半導体装置102の製造方法を説明する。本実施例は、実施例1～4と同様に多数の半導体パッケージ単位について一括して製造する場合に適用できるが、以下においては、説明を簡潔にするために、単一の半導体パッケージ単位について製造する形で説明する。まず、図27(1)に示すように、アクティブ面123Aに接続端子129を備えた半導体素子123と、テープ基材121を準備する。テープ基材121は、上面に金属配線125を備え、外部接続端子128に対応する位置に厚さ方向の貫通孔121Hを有し、金属配線125の下面が貫通孔121Hの上端を塞いで画定している。接続端子129の形成方法、テープ基材121の材料構成、金属配線125の形成方法は、実施例1と同様である。貫通孔121Hの形成方法は、実施例1の貫通孔22と同様である。

【0072】次に、図27(2)に示したように、実施例5の図25(2)の工程と同様にして、テープ基材121の上面に半導体素子を搭載する。

【0073】次に、図27(3)に示したように、実施例5の図25(4)の工程と同様に封止樹脂層124を形成する。

【0074】次に、図27(4)に示すように、封止樹脂層124の上部および半導体素子123の背面側部分を研削および研磨して所定厚さとする。図27(3)の工程で、封止樹脂層124の上面が半導体素子123の上面(背面)より高く、半導体素子123全体が封止樹脂層124の内部に埋め込まれた状態としてあるが、必ずしもその必要はなく、後の研削および研磨により、半導体素子123を含めた全体を所定厚さとすることができるよう封止樹脂層124の厚さを設定すればよい。

【0075】次に、図27(5)に示すように、外部接続端子128を形成する。外部接続端子128は、貫通孔121Hの上端を画定する金属配線125の下面から下方に延びて貫通孔121Hを充填し下方に突出している。図27(4)の研削・研磨工程と、図27(5)の外部接続端子形成工程の順番は、この順でもよいし逆順でもよい。

【0076】図27には単一の半導体パッケージ単位についてのみ示したが、実際には複数の半導体素子パッケージ単位を含み得る面積のテープ基材121を用いて、図27(1)～(5)の工程を行うことにより、多数の半導体パッケージ単位を一括して製造することができる。その場合、最後にテープ基材121を半導体パッケージ単位に切り分けて個々の半導体装置102(図26)を得ることができる。

【0077】〔実施例7〕図28(1)および(2)に、第2発明による半導体装置のもう一つの例を(1)断面図および(2)上面図でそれぞれ示す。本実施例の半導体装置103においては、実施例5の導体柱132と実施例6の外部接続端子128を共に設けてある。本実施例の半導体装置103を製造する方法は、実施例5の製造工程と実施例6の製造工程とを組み合わせた方法である。図25および図27を参照して、図28に示した半導体装置103の製造方法を説明する。図28に示した半導体装置103は複数層積層して用いることができる。

【0078】まず、実施例6と同様に、図27(1)に示す半導体素子123とテープ基材121を準備し、図27(2)に示すようにテープ基材121の上面に半導体素子を搭載する。

【0079】次に、図25(3)に示すように金属配線125の上面に下端が接合した導体柱132を形成し、図25(4)に示すように封止樹脂層124を形成する。その後、図27(4)の研削・研磨工程と図27(5)の外部接続端子形成工程とをこの順または逆順で行うことにより、図28の半導体装置103が得られる。

【0080】ここでは単一の半導体パッケージ単位について説明したが、実際には複数の半導体素子パッケージ単位を含み得る面積のテープ基材121を用いて、上記の工程を行うことにより、多数の半導体パッケージ単位を一括して製造することができる。その場合、最後にテープ基材121を半導体パッケージ単位に切り分けて個々の半導体装置103(図28)を得ることができる。

【0081】以上で説明した第1発明および第2発明による半導体装置はテープ基材を含む構造である。以下に、テープ基材を含まない構造の第3発明による半導体装置の実施例を説明する。

〔実施例8〕図29(1)および(2)に、第3発明による半導体装置の一例を断面図で示す。図29(1)に

示した半導体装置104は、所定厚さの樹脂体124の内部に半導体素子123が封止されており、半導体素子123は背面123Bを樹脂体124の上面に露出し、アクティブ面123Aを下方に向けている。樹脂体124の下面には金属配線125が形成されており、半導体素子123のアクティブ面123Aから下方に延びた接続端子129が金属配線125の上面に接続している。樹脂体124の上面と半導体素子123の背面123Bは同一平面を成している。接続端子129は、金のスタッドバンプ、めっきバンプ等として形成できる。

【0082】図29(2)に示した半導体装置104'は、図29(1)の半導体装置104の構造において、金属配線125を含めて樹脂体124の下面をソルダレジスト層126が覆っており、金属配線125の下面に形成された接続バンプ128がソルダレジスト層126を貫通して下方に突き出ている。

【0083】図30を参照して、図29に示した半導体装置104および104'の製造方法を説明する。本実施例は、実施例1〜4と同様に多数の半導体パッケージ単位について一括して製造する場合に適用できるが、以下においては、説明を簡潔にするために、単一の半導体パッケージ単位について製造する形で説明する。先ず、図30(1)に示すように、半導体素子123のアクティブ面123Aに形成された接続端子129の先端を、超音波接合や、インジウム等の低融点金属を介した合金接合などの方法により、Al箔、Cu箔、金めっきで配線を形成した銅箔、Cu張りAl箔などの金属基板125Mの上面に接合することにより、半導体素子123を金属基板125M上に搭載する。

【0084】次に、図30(2)に示すように、金属基板125Mの上面全体を樹脂で覆うことにより、樹脂体124を形成する。樹脂体124は内部に半導体素子123を封止しており、下面が金属基板125Mと接合している。樹脂体124としては、エポキシ樹脂、ポリイミド樹脂、シアノエステル樹脂、多環芳香族系樹脂を用いることができ、特にエポキシ樹脂が望ましい。樹脂体124の熱膨張係数および熱伝導率を調整するために、無機フィラーとして、シリカ、アルミナ、窒化アルミニウム等のセラミック粒子を分散させることができる。分散量は、所望の熱膨張係数および熱伝導率の値に応じて設定する。粒径は2〜10μmで粒子形状は球状に近いほど望ましい。

【0085】次に、図30(3)に示すように、金属基板125Mをパターンニングすることにより、樹脂体124の下面に金属配線125を形成する。金属配線125は上面が接続端子129に接続している。次に、樹脂体124の上部および半導体素子123の背面側部分を研削および研磨して所定厚さとする。以上の工程により、図29(1)に示した半導体装置104が完成する。

【0086】更に、図30(3)の工程の次に、図30

(4)に示すように、金属配線125を含めて樹脂体124の下面全体を覆うソルダレジスト層126を形成し、ソルダレジスト層126に貫通孔127を形成する。貫通孔127は下端が開口し、上端が金属配線125の下面により塞がれて画定されている。

【0087】次に、図30(5)に示したように、樹脂体124の上部および半導体素子123の背面側部分を研削および研磨して所定厚さとする。

【0088】次に、図30(6)に示すように、貫通孔127を充填して下方に突き出た外部接続端子128を形成する。これは、図25(3)に示した導体柱132と同様に、はんだボールの搭載か、はんだペースト印刷後リフローすることにより行う。なお、図30(5)の研削・研磨工程と図30(6)の外部接続端子形成工程とは逆順に行ってもよい。これにより、図29(2)に示した半導体装置104'が完成する。

【0089】ここでは単一の半導体パッケージ単位について説明したが、実際には複数の半導体素子パッケージ単位を含み得る面積の金属基板125Mを用いて、上記の工程を行うことにより、多数の半導体パッケージ単位を一括して製造することができる。その場合、最後に金属基板125Mを半導体パッケージ単位に切り分けて個々の半導体装置104あるいは104'(図29)を得ることができる。

【0090】次に図31を参照して、図29に示した半導体装置104および104'の、他の製造方法を説明する。先ず、図31(1)に示すように、金属基板125Mの上面に異種金属の配線パターン125を設けた複合金属板125Aを作製する。これは、Cu箔から成るCu基板125M上にAuめっきによりAu配線パターン125を設けるか、または、Cu張りAl箔のCuをエッチングしてパターンニングすることによりAl基板125M上にCu配線パターン125を設けることにより行う。

【0091】次に、図31(2)に示すように、半導体素子123のアクティブ面123Aに形成された接続端子129の先端を、超音波接合やインジウム等の低融点金属を介した合金接合などの方法により、配線パターン125の上面に接合することにより、半導体素子123を複合金属板125A上に搭載する。

【0092】次に、図31(3)に示すように、配線パターン125を含めて複合金属板125Aの上面全体を樹脂で覆うことにより、樹脂体124を形成する。樹脂体124は内部に半導体素子123を封止しており、下面が配線パターン125および金属基板125Mと接合している。樹脂体124は、図30(2)について説明したものと同様の材質である。

【0093】次に、図31(4)に示すように、エッチングにより金属基板125Mを除去する。具体的には、Au配線パターン125/Cu箔基板125Mの組み合

10

20

30

40

50

わせの場合には、Cuは溶解するがAuは溶解しないエッチャントを用いたエッチングによりCu箔基板125Mを除去する。あるいは、Cu配線パターン125/A1基板125Mの組み合わせの場合には、A1は溶解するがCuは溶解しないエッチャントを用いたエッチングによりA1基板125Mを除去する。これにより、樹脂体124の下面にAuまたはCuから成る金属配線125が接合された構造が得られる。次に、樹脂体124の上部および半導体素子123の背面側部分を研削および研磨して所定厚とする。以上の工程により、図29

(1)に示した半導体装置104が完成する。ただし樹脂体124とソルダレジスト層126との接合面の位置は、図29(1)の構造では金属配線125の上面と同一面となるが、上記工程で得られた得られた構造では金属配線125の下面と同一面となる点で異なる。

【0094】更に、図31(4)の工程の次に、図31(5)、(6)、(7)に示す順序で、ソルダレジスト層126の形成、研削・研磨、外部接続端子128の形成を、それぞれ図30(4)、(5)、(6)に示した工程と同様の手順で行う。この場合にも、図31(6)の研削・研磨工程と図31(7)の外部接続端子形成工程とは逆順に行ってもよい。これにより図29(2)に示した半導体装置104'が完成する。ただし樹脂体124とソルダレジスト層126との接合面の位置は、図29(2)の構造では金属配線125の上面と同一面となるが、上記工程で得られた得られた構造では金属配線125の下面と同一面となる点で異なる。

【0095】〔実施例9〕図32に、第3発明による半導体装置の他の例を断面図で示す。図32(1)、(2)、(3)にそれぞれ示した半導体装置105、105'、105''はいずれも、図29(1)に示した半導体装置104の構造に加えて、複数の導体柱132を更に備えている。導体柱132は、金属配線125の上面から樹脂体124を貫通して上方に延びており、上端が樹脂体124の上面に露出している。ここで、図32(1)の半導体装置105は導体柱132の上端のみが樹脂体124から露出しており、図32(2)の半導体装置105'は導体柱132の上端および側面が樹脂体124から露出している。

【0096】図32(3)の半導体装置105''は、上端のみが樹脂体124から露出している導体柱132Aと、上端および側面が樹脂体124から露出している導体柱132Bとを備えており、金属配線125を含めて樹脂体124の下面を覆うソルダレジスト層126が形成されている。ただし、ソルダレジスト層126は、側面が露出した導体柱132Bと接続している金属配線125の部分は覆っておらず、この部分で金属配線125の下面は露出している。導体柱132、132A、132Bは、銅(Cu)、ニッケル(Ni)、コパル(商品名)等の金属または合金、あるいは錫-銀(Sn-A

g)合金、錫-鉛(Sn-Pb)合金等の低融点合金で形成することができる。

【0097】図32に示した半導体装置105、105'、105''を製造するには、実施例8において図30により説明した製造工程に用いる金属基板125Mの上面に、予めスタッドバンプ形成、金属柱の接合等により導体柱132を形成しておき、実施例8と同様に図30の工程を適宜行えばよい。

【0098】〔実施例10〕図33に、図32(1)に示した半導体装置105を複数層積層した素子積層型半導体装置の例を示す。図示した半導体装置106は、半導体装置105を3層積層したものであり、図32

(1)の構造に加えて図29(2)と同様にソルダレジスト層126と接続バンプ128とを形成した後、積層して一体としたものである。下層の導体柱132の上端と、上層の金属配線125の下面とが、接続バンプ128を介して相互に電氣的に接続している。

【0099】〔実施例11〕図34(1)に、図32(2)に示した半導体装置105'を側面で相互に接続した素子並列型半導体装置の例を示す。図示した半導体装置107は、2個の半導体装置105'を並列に接続したものであり、側端部を除き金属配線125を含めて樹脂体124の下面をソルダレジスト層126で覆い、樹脂体124の側面に露出した導体柱132の側面同士ではんだ等の低融点金属138を介して相互に電氣的に接続されている。この接続は下記のように行うことができる。低融点金属ボールを搭載した後、または低融点金属ペーストの印刷またはドットイングにより低融点金属を供給した後、リフローすることにより、低融点金属138が金属配線125および導体柱132の露出面に広がり、接合が行われる。接合部の間隔が広い場合は導体ペーストのドットイングによって接合することもできる。

【0100】図34(2)に、図32(2)に示した半導体装置105'を積層し且つ並列接続した素子積層並列型半導体装置の例を示す。図示した半導体装置108は、2個の半導体装置105'を並列に接続した層が2層積層されて成る。各半導体装置105'同士の接続関係は、図33の素子積層型半導体装置106と図34

(1)の素子並列型半導体装置107とを組み合わせた関係である。

【0101】〔実施例12〕図35(1)に、キャパシタを含む第3発明の半導体装置の例を示す。図示した半導体装置109は、図29(2)の半導体装置104'の構造に加えて、樹脂体124中に封止されたキャパシタ143を備えている。キャパシタ143は両極の電極端子145が金属配線125の上面に直接接続されている。図35(2)に示したように、望ましくはキャパシタ143は対向平板型であり、各導体パターン147のパターン面が樹脂体124の厚さ方向に平行である。キ

ャパシタ 143 は例えば通常のセラミック積層型コンデンサであり、導体パターン 147 間はチタン酸ストロンチウムのような誘電体 149 で充填されている。静電容量すなわち有効面積が、研削・研磨後の厚さによって決まるため、最終厚さを見込んで設計する必要がある。

【0102】キャパシタ 143 としては、市販のチップキャパシタ（チップコンデンサ）が好適に用いられる。なお、キャパシタ 143 を含む構造は、図 35（1）に示す半導体装置に限らず、図 24、図 29（1）、図 32 に示す半導体装置にも適用できる。

【0103】

【発明の効果】本発明によれば、取り付け高さを低減すると同時に均一化し、個々のチップ取り付けのための煩雑な工程を必要とせず、製造歩留りを向上し、チップの厚さはらつきに影響されずに半導体装置の高さを均一化し、電気試験の一括実行が可能な薄型半導体パッケージとしての半導体装置およびその製造方法が提供される。

【図面の簡単な説明】

【図 1】図 1 は、半導体チップと T C P のリードを接続した後の従来の半導体装置を示す斜視図であり、個々の T C P をテープから切断する前の状態を示す。

【図 2】図 2 は、従来の半導体チップとパッケージのリードの接続の状態を、図 1 の半導体装置の中心部を拡大して示す断面図である。

【図 3】図 3（1）および（2）は、第 1 発明による半導体装置の一例を示すそれぞれ（1）断面図および（2）上面図である。

【図 4】図 4 は、図 3 に示した第 1 発明の半導体装置を製造するために最初に準備する初期構造を示す断面図である。

【図 5】図 5 は、図 4 に示した初期構造に絶縁性コーティングを形成した状態を示す断面図である。

【図 6】図 6 は、硬化前のコーティングの上に半導体素子を配置して接合する工程を示す断面図である。

【図 7】図 7 は、半導体素子が搭載された領域以外のテープ基材の上面を覆い且つ少なくとも半導体素子の側面周囲を封止する封止樹脂層を形成した状態を示す断面図である。

【図 8】図 8 は、図 7 とは別の態様により、半導体素子が搭載された領域以外のテープ基材の上面を覆い且つ少なくとも半導体素子の側面周囲を封止する封止樹脂層を形成した状態を示す断面図である。

【図 9】図 9 は、封止樹脂層の上部および半導体素子の背面側部分を研削および研磨して所定の厚さとし、外部接続端子を形成した状態を示す断面図である。

【図 10】図 10（1）および（2）は、第 1 発明による半導体装置の他の例を示すそれぞれ（1）断面図および（2）上面図である。

【図 11】図 11 は、図 10 の半導体装置を複数層積層して形成した薄型の積層型半導体装置を示す断面図であ

る。

【図 12】図 12 は、図 10 に示した第 1 発明の半導体装置を製造するために最初に準備する初期構造を示す断面図である。

【図 13】図 13 は、図 12 に示した初期構造に低融点金属の導体および絶縁性コーティングを形成した状態を示す断面図である。

【図 14】図 14 は、硬化前のコーティングの上に半導体素子を配置して接合する工程を示す断面図である。

10 【図 15】図 15 は、半導体素子が搭載された領域以外のテープ基材の上面を覆い且つ少なくとも半導体素子の側面周囲を封止する封止樹脂層を形成した状態を示す断面図である。

【図 16】図 16 は、封止樹脂層の上部および半導体素子の背面側部分を研削および研磨して所定の厚さとし、外部接続端子を形成した状態を示す断面図である。

【図 17】図 17（1）および（2）は、第 1 発明による半導体装置のもう一つの例をそれぞれ示す（1）断面図および（2）上面図である。

20 【図 18】図 18 は、図 17 の半導体装置を複数層積層して形成した薄型の積層型半導体装置を示す断面図である。

【図 19】図 19 は、図 17 に示した第 1 発明の半導体装置を製造するために最初に準備する初期構造を示す断面図である。

【図 20】図 20 は、図 19 に示した初期構造に絶縁性コーティングを形成し、硬化前のコーティングの上に半導体素子を配置して接合する工程を示す断面図である。

30 【図 21】図 21 は、半導体素子と絶縁性基材の開口との間隙を封止樹脂層で封止した状態を示す断面図である。

【図 22】図 22 は、図 21 に示す状態から、絶縁性基材の上部、封止樹脂層の上部および半導体素子の背面側部分を研削および研磨して所定の厚さとし、外部接続端子を形成した状態を示す断面図である。

【図 23】図 23 は、テープ基材を含む初期構造として、ディスク状のものをを用いて製造した切り分けまえの構造を一部断面で示す斜視図である。

【図 24】図 24（1）、（2）および（3）は、第 2 発明による半導体装置の一例を示す（1）断面図、（2）断面図および（3）上面図である。

【図 25】図 25 は、図 24（1）の半導体装置を製造するための工程を示す断面図である。

【図 26】図 26（1）および（2）は、第 2 発明による半導体装置の他の例を示す（1）断面図および（2）上面図である。

【図 27】図 27 は、図 26 の半導体装置を製造するための工程を示す断面図である。

50 【図 28】図 28（1）および（2）は、第 2 発明による半導体装置のもう一つの例を示す（1）断面図および

(2) 上面図である。

【図 29】図 29 (1) および (2) は、第 3 発明による半導体装置の一例を示す断面図である。

【図 30】図 30 は、図 29 の半導体装置を製造するための工程の一例を示す断面図である。

【図 31】図 31 は、図 29 の半導体装置を製造するための工程の他の例を示す断面図である。

【図 32】図 32 (1)、(2) および (3) は、第 3 発明による半導体装置の他の例を示す断面図である。

【図 33】図 33 は、図 32 の半導体装置を複数層積層して形成した薄型の積層型半導体装置を示す断面図である。

【図 34】図 34 (1) および (2) は、図 32 の半導体装置を (1) 並列接続した素子並列型半導体装置および (2) 積層かつ並列接続した素子積層並列型半導体装置をそれぞれ示す断面図である。

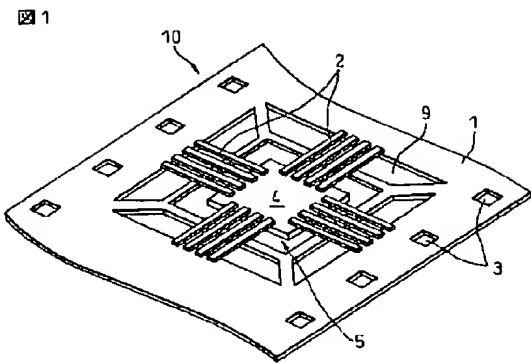
【図 35】図 35 は、キャパシタを含む第 3 発明の半導体装置の例を示す (1) 断面図および (2) 部分拡大断面図である。

【符号の説明】

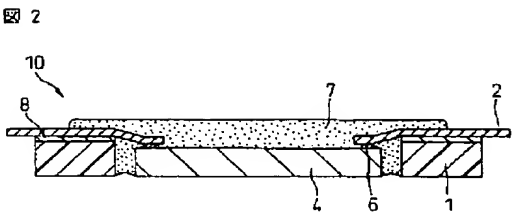
- 1…樹脂フィルム (基材)
- 2…リード
- 3…スプロケットホール
- 4…半導体チップ (半導体素子)
- 5…開口 (デバイスホール)
- 6…バンパ (金等)
- 7…封止樹脂
- 10…従来の T C P
- 20…第 1 発明による半導体装置
- 21…絶縁性テープ基材
- 22…テープ基材 21 の厚さ方向の貫通孔
- 23…半導体素子
- 23 A…半導体素子のアクティブ面
- 23 B…半導体素子の背面
- 24…封止樹脂層
- 25…金属配線
- 26…ソルダレジスト層
- 27…ソルダレジスト層の厚さ方向の貫通孔
- 28…外部接続端子
- 29…半導体素子の接続端子
- 30…低融点金属の充填材

- 31…絶縁性のコーティング
- 32…低融点金属の導体 (柱状導体)
- 36…絶縁性基材
- 37…絶縁性基材 36 の厚さ方向の貫通孔
- 40…第 1 発明による半導体装置
- 44…第 1 発明による素子積層型半導体装置
- 60…第 1 発明による半導体装置
- 66…第 1 発明による素子積層型半導体装置
- 101…第 2 発明による半導体装置
- 102…第 2 発明による半導体装置
- 103…第 2 発明による半導体装置
- 104…第 3 発明による半導体装置
- 104'…第 3 発明による半導体装置
- 105…第 3 発明による半導体装置
- 105'…第 3 発明による半導体装置
- 105''…第 3 発明による半導体装置
- 106…第 3 発明による素子積層型半導体装置
- 107…第 3 発明による素子並列型半導体装置
- 108…第 3 発明による素子積層並列型半導体装置
- 20 109…第 3 発明によるキャパシタを備えた半導体装置
- 121…絶縁性テープ基材
- 121 H…絶縁性テープ基材の貫通孔
- 123…半導体素子
- 123 A…半導体素子のアクティブ面
- 123 B…半導体素子の背面
- 124…封止樹脂層
- 125…金属配線 (配線パターン)
- 125 A…複合金属板
- 125 M…金属基板
- 30 126…ソルダレジスト層
- 127…ソルダレジスト層の貫通孔
- 128…外部接続端子または接続バンパ
- 129…半導体素子の接続端子
- 132…導体柱
- 132 A…導体柱
- 132 B…導体柱
- 143…キャパシタ
- 145…キャパシタの電極端子
- 147…キャパシタの対向する平板
- 40 149…キャパシタの平板間を満たす誘電体

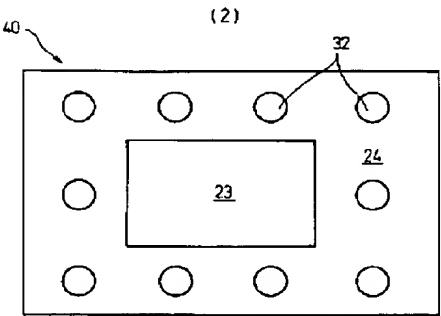
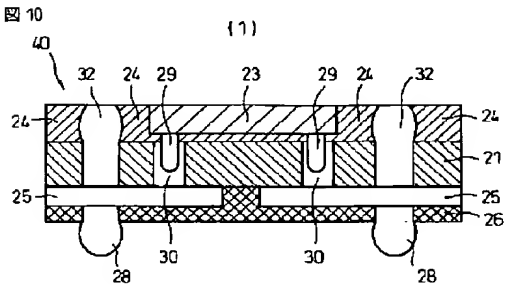
【図1】



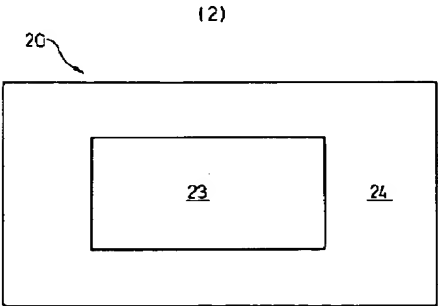
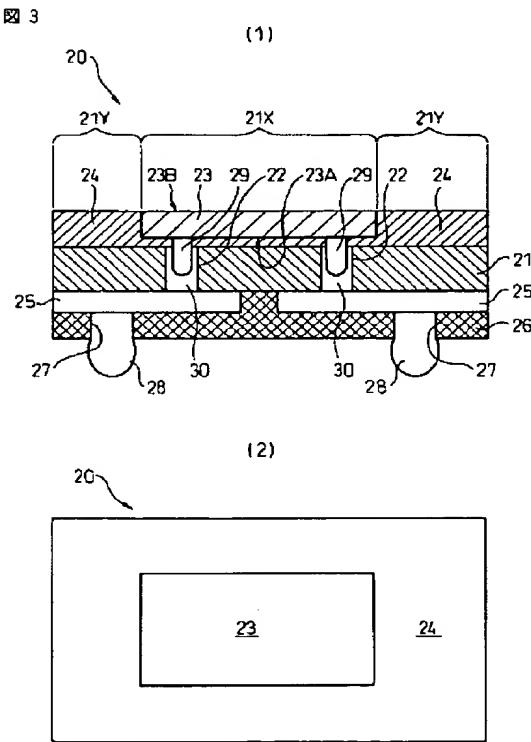
【図2】



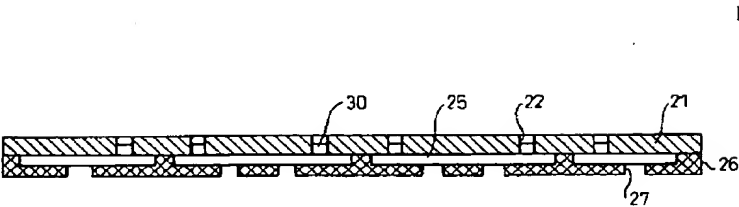
【図10】



【図3】

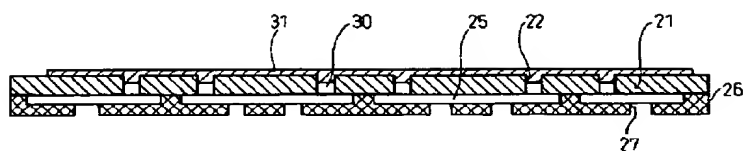


【図4】



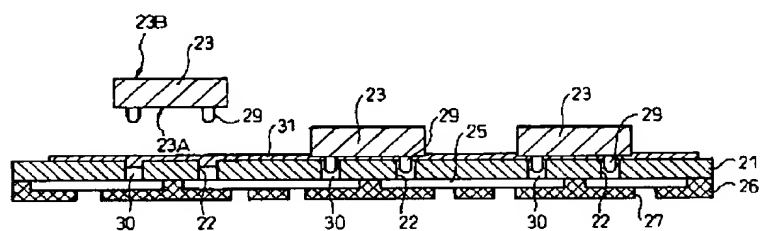
【図5】

図5



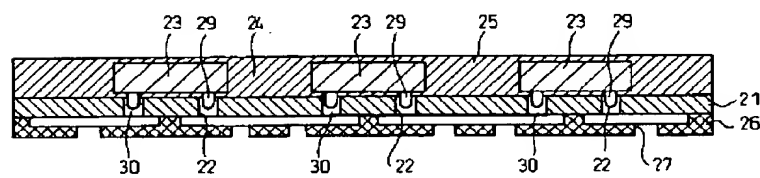
【図6】

図6



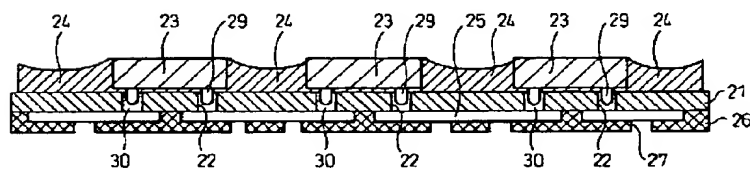
【図7】

図7



【図8】

図8



【図9】

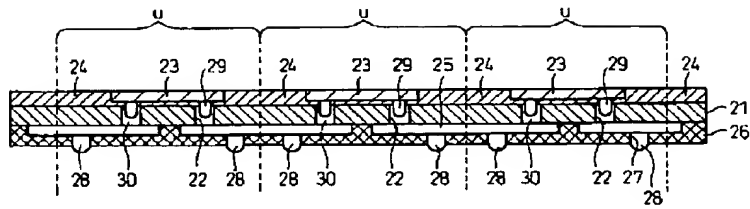
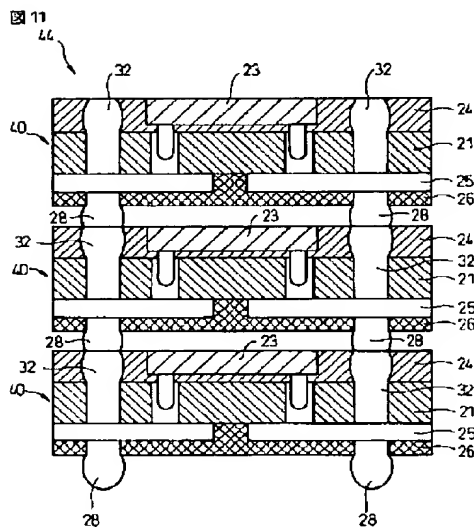
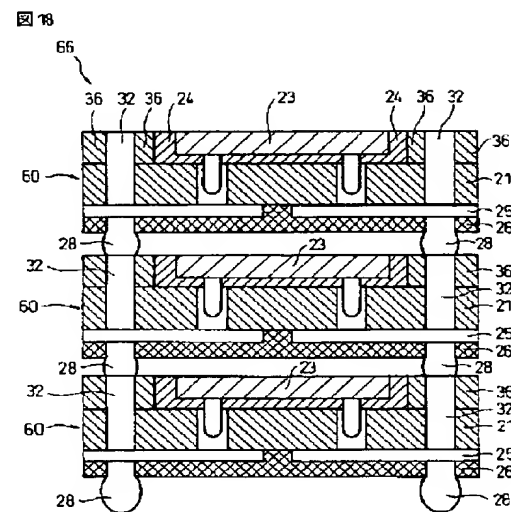


図9

【図11】



【図18】



【図12】

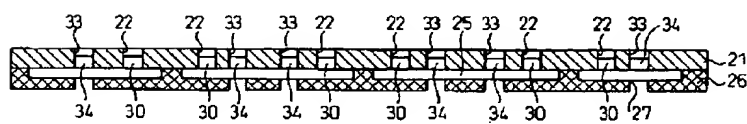
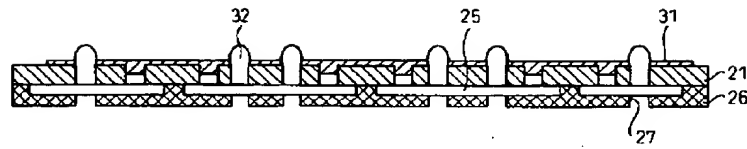


図12

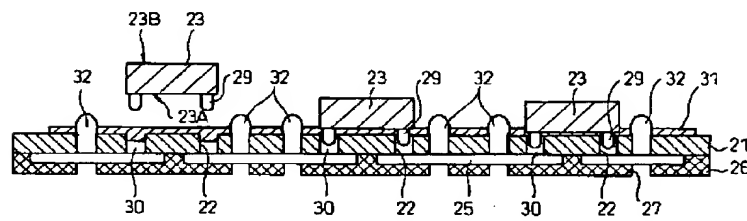
【図13】

図13



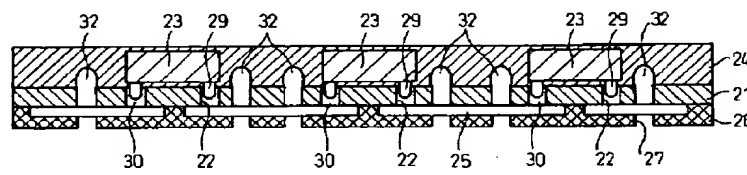
【図14】

図14



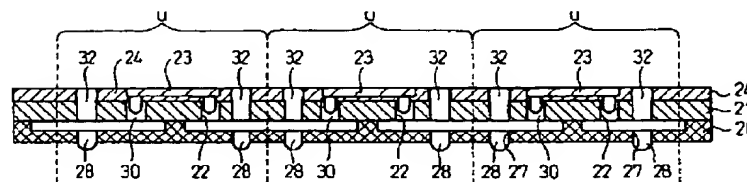
【図15】

図15



【図16】

図16

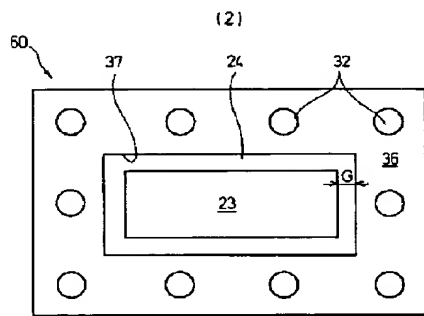
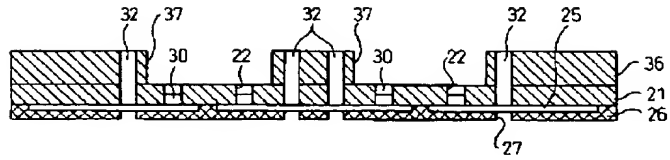
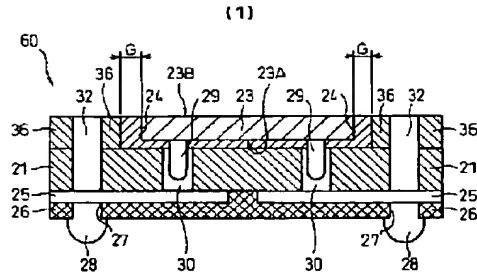


【図17】

【図19】

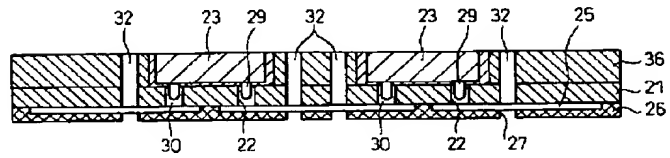
図17

図18



【図21】

図21



【図20】

【図24】

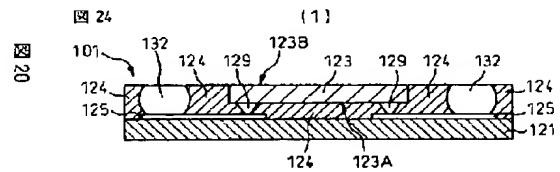
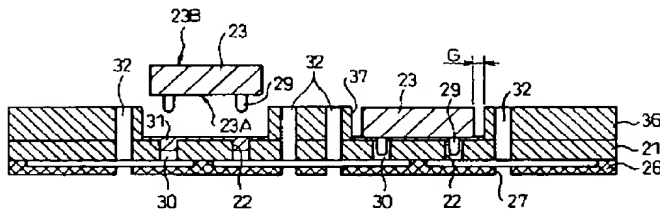
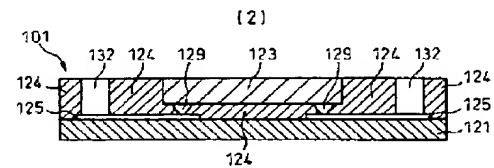


図24



【図22】

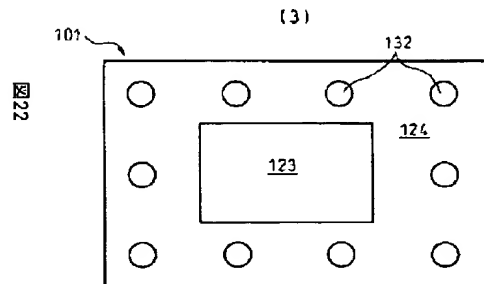
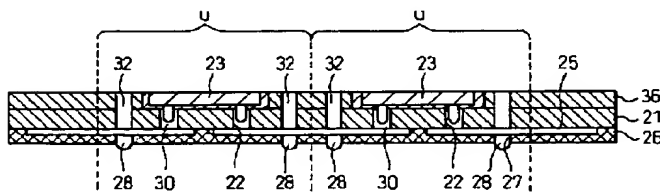
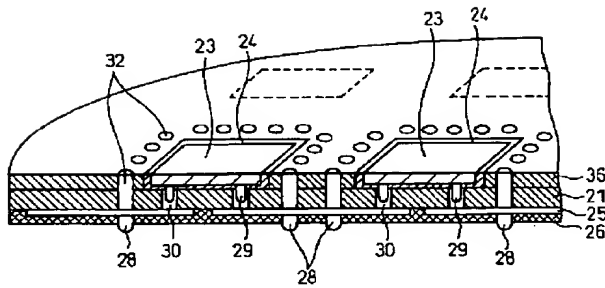


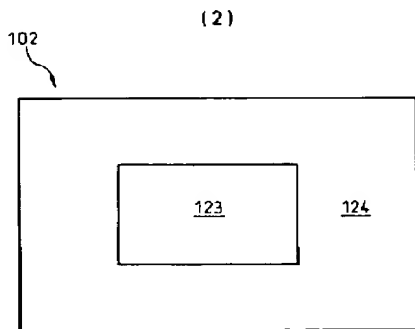
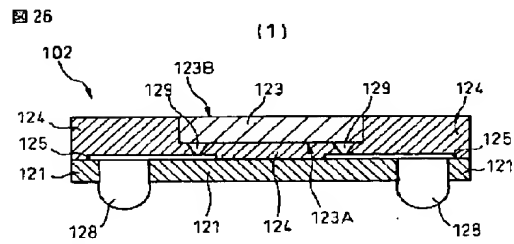
図22



【図23】



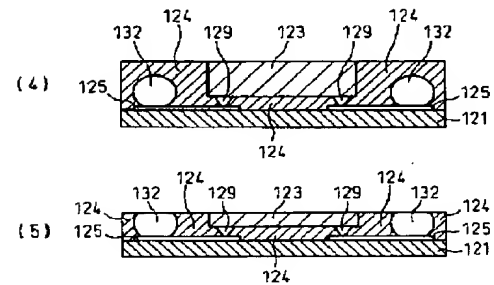
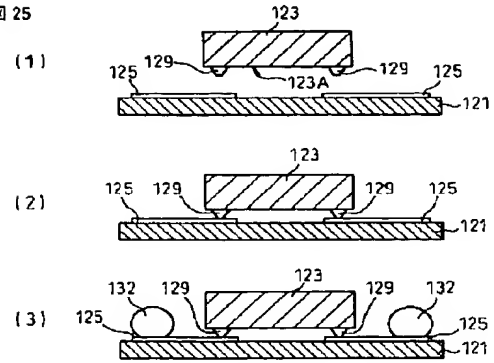
【図26】



【図25】

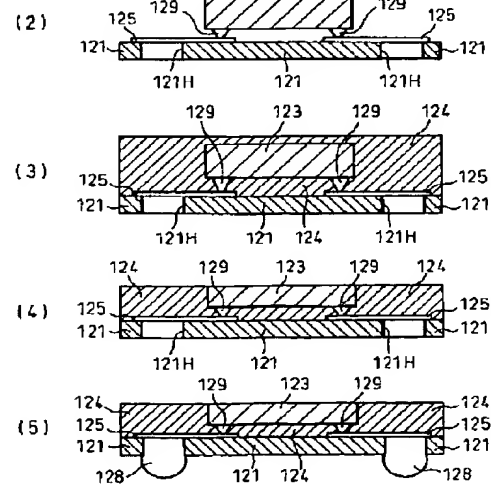
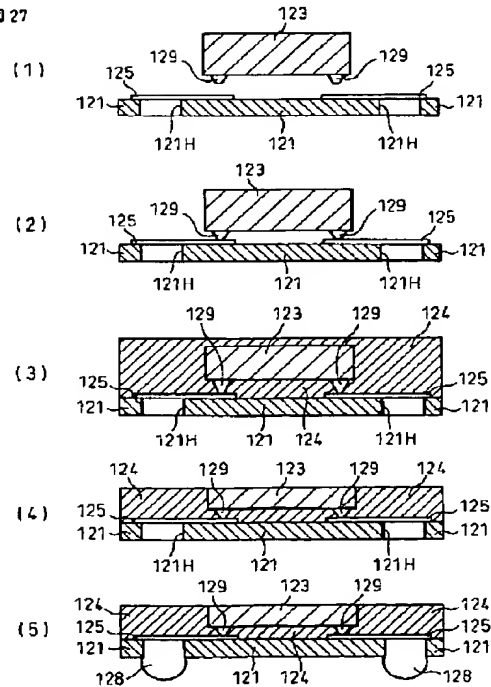
図23

図25

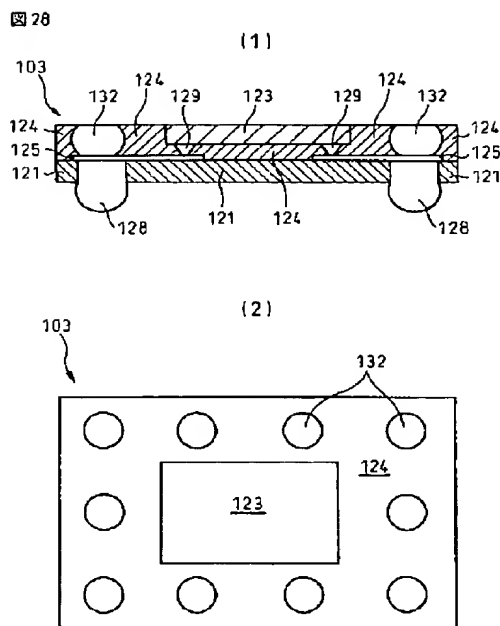


【図27】

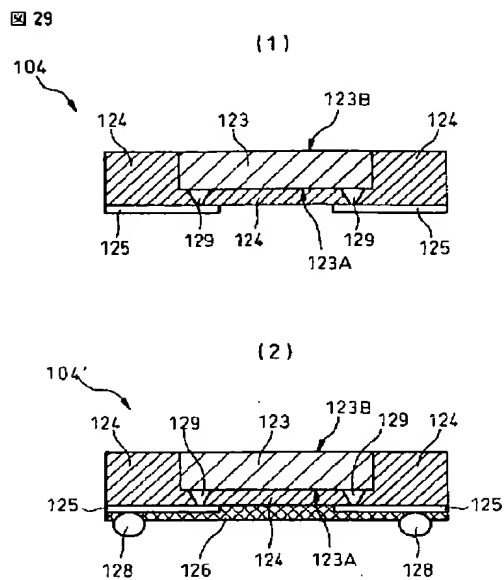
図27



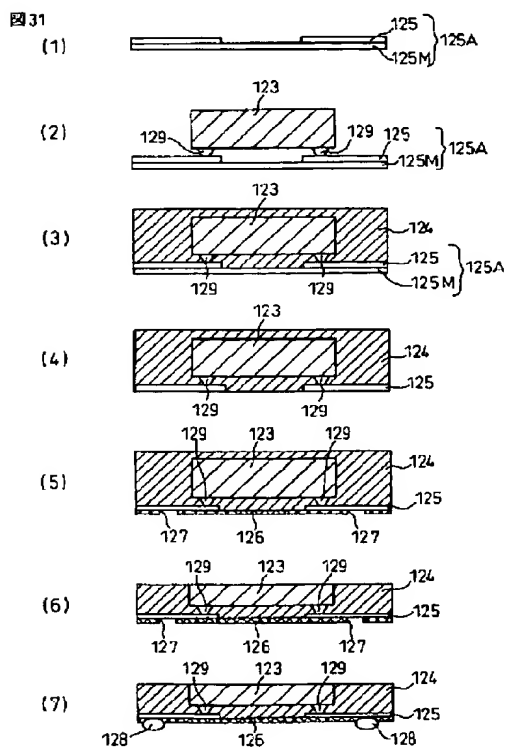
【図28】



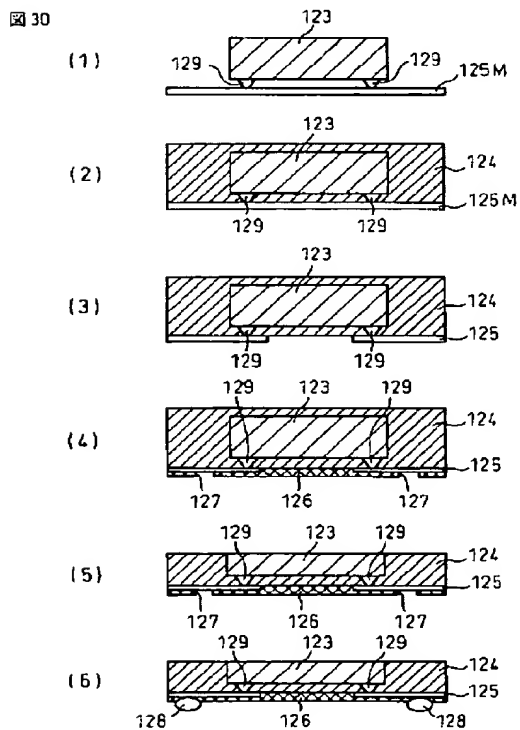
【図29】



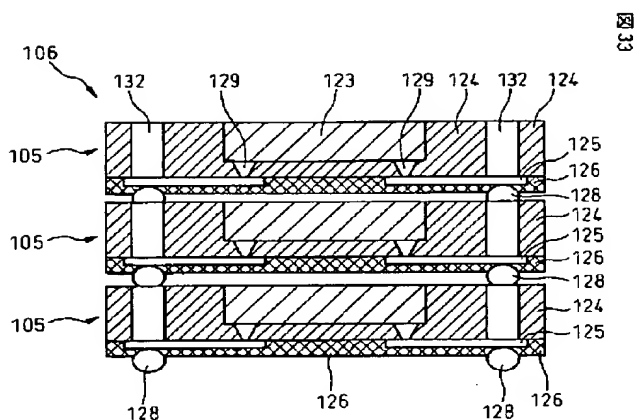
【図31】



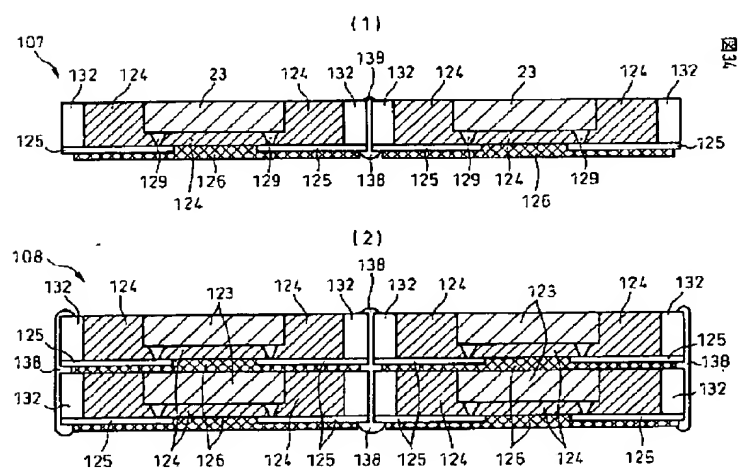
【図30】



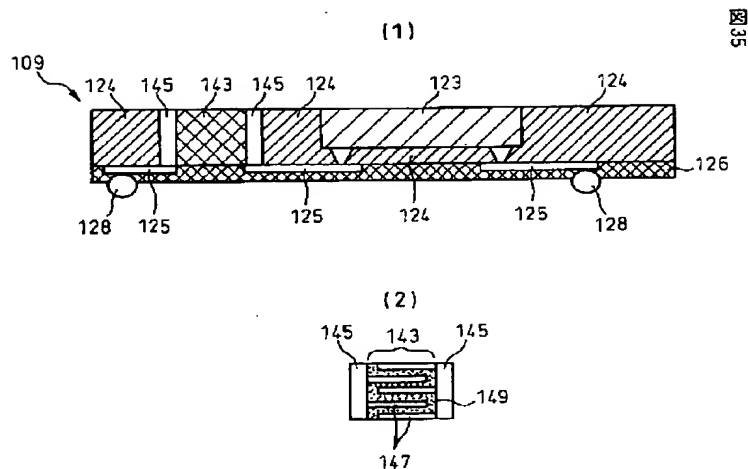
【図 3 3】



【图 3 4】



【図35】



フロントページの続き

(51)Int.Cl.⁷
H01L 25/18

識別記号

F I

ターマコード (参考)

(72)発明者 永岡 富夫
長野県長野市大字栗田字舎利田711番地
新光電気工業株式会社内

(72)発明者 青木 正夫
長野県長野市大字栗田字舎利田711番地
新光電気工業株式会社内
(72)発明者 水野 茂
長野県長野市大字栗田字舎利田711番地
新光電気工業株式会社内